

## ABSTRAK

Dalam pengaplikasian Algoritma FFT, kecepatan komputasi, sederhana dalam implementasi dan hemat memori adalah hal yang harus diperhatikan. Untuk kebutuhan tersebut teknik yang paling cocok untuk implementasi adalah *pipeline architecture*. Keunggulan dari *pipeline architecture* adalah data bisa diparalelkan saat pemrosesan, bekerja secara *real time*, pengolahan secara kontinu dan mempunyai *latency* yang kecil.

Pada penelitian ini dilakukan perancangan FFT dengan menggunakan salah satu varian dari teknik *pipeline architecture* yaitu MDC dikarenakan kontrol yang lebih simpel, jumlah data yang diproses adalah 64 *subcarrier* dengan menggunakan *radix 2* peruraian dalam frekuensi untuk pendekatan algoritma FFT. Perancangan dilakukan berdasarkan standar yang sudah ditentukan. Selanjutnya hasil rancangan disimulasikan pada *software* ModelSim. Dari hasil pemodelan dan simulasi, kemudian di implementasikan ke perangkat FPGA. Hasil Implementasi menunjukkan bahwa perancangan *prototype* Algoritma FFT menggunakan teknik MDC dapat diimplementasikan pada *board* ATLYS Spartan-6.

Hasil implementasi menunjukkan penggunaan *resource slice registers* sebesar 3,6%, penggunaan *bonded IOBs* sebesar 10,55%, dan *delay process* menghasilkan 22.900 ns, sedangkan pada penelitian sebelumnya dalam penggunaan *resource slice registers* sebesar 4,4%, penggunaan *bonded IOBs* sebesar 34,4% dan menghasilkan *delay process* 35.400 ns. Sehingga MDC merupakan solusi implementasi algoritma FFT dalam efisiensi memori dan kecepatan komputasi. *Prototype* ini menghasilkan sistem dengan periode minimum 15,895 ns dan frekuensi kerja 62,914 MHz.

**Kata kunci :** FFT, *Multipath Delay Commutator*, FPGA