

ABSTRAK

FFT (*Fast Fourier Transform*) merupakan metode pemecahan sinyal diskrit yang banyak digunakan dewasa ini. Selama ini FFT hanya dipandang sebagai suatu sistem komputasi, namun sekarang FFT sudah menjadi sesuatu yang sangat penting terutama pada komunikasi yang menggunakan BWA (*Broadband Wireless Acces*). Jadi apabila proses FFT bekerja dengan baik maka teknologinya juga pasti akan bekerja dengan baik.

Pada tugas akhir ini, telah dirancang sebuah prosesor FFT/IFFT 512 titik radix 8 dengan menggunakan algoritma Cooley-Tukey pada sebuah board FPGA, Xilinx Virtex-4 XCVLX25, yang bertujuan untuk membuktikan bahwa prosesor FFT/IFFT tersebut dapat dirancang pada sebuah FPGA dengan performa yang sama dengan pemodelan di MATLAB sehingga bisa digunakan untuk perancangan aplikasi seperti OFDM dan aplikasi lainnya. Tugas akhir ini menggunakan VHDL (*Very High Speed Integrated Circuit Hardware Description Language*) sebagai bahasa yang mengkodekan setiap blok-blok prosesor I/FFT 512 titik ini. Desain dengan VHDL ini memodelkan sistem sesuai dengan kebutuhan dari sistem prosesor I/FFT 512 titik dan mensimulasikannya dengan ModelSim sebelum perangkat lunak sintesis menerjemahkan desain dalam *hardware*. Kemudian hasil simulasinya dibandingkan dengan pemodelan yang telah dilakukan di MATLAB.

Dari hasil pemodelan dan simulasi maka dilakukan sintesis pada tingkat hardware FPGA dengan Xilinx *Shynthesize Tools*. Dari hasil sintesa blok sistem prosesor I/FFT 512 titik radiks-8 didapatkan jumlah *resource* yang dibutuhkan adalah jumlah *slice* 24%, jumlah *slice flip-flop* 4%, jumlah 4 LUT (*Look Up Table*) 22%, dan jumlah IOB 32%. Secara keseluruhan, penelitian ini telah membuktikan bahwa prosesor I/FFT 512 titik dengan menggunakan radix 8 dapat diimplementasikan pada FPGA dengan menggunakan resource seminimal mungkin sehingga memungkinkan untuk dikembangkan untuk pengembangan aplikasinya. Namun pada proses pengujiannya membutuhkan blok ADC/DAC.

Kata Kunci : DFT , FFT, VHDL, FPGA