

## DAFTAR GAMBAR

<b>Gambar 2.1 a.</b> Pemetaan Proses Dekomposisi Wavelet Level 1 .....	6
<b>Gambar 2.1 b.</b> Pemetaan Proses Dekomposisi Wavelet Level 2 .....	6
<b>Gambar 2.1 b.</b> Pemetaan Proses Dekomposisi Wavelet Level 3 .....	6
<b>Gambar 2.2</b> DWT Maju 2D Skala Satu .....	7
<b>Gambar 2.3</b> DWT Balik 2D Skala Satu .....	8
<b>Gambar 2.4</b> Komponen Citra Ukuran Pixel 8x8.....	10
<b>Gambar 2.5</b> Tahapan Pembentukan Pohon Huffman.....	10
<b>Gambar 2.6</b> Pohon Huffman Dengan Penanda Bit .....	12
<b>Gambar 2.7</b> Arsitektur FPGA .....	12
<b>Gambar 2.8</b> <i>Configurable</i> Logic Block Pada FPGA .....	12
<b>Gambar 2.9</b> Arsitektur FPGA .....	14
<b>Gambar 2.10</b> Diagram Perancangan Pada FPGA .....	14
<b>Gambar 3.1</b> Diagram Keseluruhan proses .....	16
<b>Gambar 3.2</b> Alur Pada Proses Capture Video.....	17
<b>Gambar 3.3</b> Model Sistem Encoder Citra .....	18
<b>Gambar 3.4</b> Blok Diagram Lifting Based .....	20
<b>Gambar 3.5</b> Diagram Aritmatik pada Wavelet .....	21
<b>Gambar 3.6</b> Skema Matematis DWT.....	22
<b>Gambar 3.7</b> <i>Lifting Scheme</i> IDWT .....	23
<b>Gambar 3.8</b> <i>Inverse Wavelet Core 5/3</i> .....	23
<b>Gambar 3.9</b> Blok Inverse Wavelet.....	24
<b>Gambar 3.10</b> FPGA Family XST-3S1000.....	25
<b>Gambar 3.11 (a).</b> XST – 4.0 .....	26
<b>Gambar 3.11 (b).</b> XSA-3S1 .....	26
<b>Gambar 4.1</b> Blok Wavelet Transform .....	28
<b>Gambar 4.2</b> Hasil Simulasi Blok Wavelet .....	29
<b>Gambar 4.3</b> Blok Wavelet core 5/3 .....	29
<b>Gambar 4.4</b> Hasil Simulasi Blok Wavelet Core 5/3 .....	30
<b>Gambar 4.5</b> Blok Ram .....	30
<b>Gambar 4.6</b> Hasil Simulasi Blok Wavelet Core 5/3 .....	31
<b>Gambar 4.7</b> Huffman Coder .....	31
<b>Gambar 4.8</b> Hasil Simulasi Huffman Coder .....	31
<b>Gambar 4.9</b> Hasil Sintesis.....	32
<b>Gambar 4.10</b> Blok Inverse Wavelet Transform.....	32
<b>Gambar 4.11</b> Simulasi <i>Inverse Wavelet Transform</i> .....	33
<b>Gambar 4.12</b> Blok <i>Inverse Wavelet Transform</i> .....	33
<b>Gambar 4.13</b> Hasil Simulasi Blok Wavelet Core 5/3 .....	34
<b>Gambar 4.14</b> Blok <i>Huffman Decoder</i> .....	34
<b>Gambar 4.15</b> Hasil Simulasi Huffman Decoder .....	34

<b>Gambar 4.16</b> Hasil Simulasi Lena 128x128 .....	35
<b>Gambar 4.17</b> Hasil Simulasi <i>Pappers</i> 128x128 .....	35
<b>Gambar 5.1</b> Diagram Alir Proses Desain FPGA .....	38
<b>Gambar 5.2</b> <i>Design Entry</i> Rangkaian .....	40
<b>Gambar 5.3</b> Tampilan <i>package</i> dari pin-pin masukan dan keluaran pada FPGA .....	40
<b>Gambar 5.4</b> Tampilan File UCF Setelah Penempatan Pin .....	41
<b>Gambar 5.5</b> Tampilan Blok Sistem Citra Hasil Sintesis .....	41
<b>Gambar 5.6</b> Tampilan Blok Sistem Citra Terperinci .....	42
<b>Gambar 5.7</b> Hasil Ringkasan Implementasi pada FPGA menggunakan Xilinx 12.1 .....	42