

## DAFTAR ISI

<b>LEMBAR PENGESAHAN</b> .....	i
<b>LEMBAR ORISINALITAS</b> .....	ii
<b>ABSTRAKSI</b> .....	iii
<b>ABSTRACT</b> .....	iv
<b>KATA PENGANTAR</b> .....	v
<b>LEMBAR PERSEMBAHAN</b> .....	vi
<b>DAFTAR ISI</b> .....	viii
<b>DAFTAR GAMBAR</b> .....	x
<b>DAFTAR TABEL</b> .....	xii
<b>DAFTAR ISTILAH</b> .....	xiii
<b>DAFTAR SINGKATAN</b> .....	xv
<b>BAB I PENDAHULUAN</b>	
1.1. Latar Belakang Masalah.....	1
1.2. Rumusan Masalah.....	2
1.3. Tujuan .....	2
1.4. Batasan Masalah .....	2
1.5. Sistematika Penulisan .....	3
1.6. Metodologi Penyelesaian Masalah.....	3
<b>BAB II LANDASAN TEORI</b>	
2.1. Citra.....	5
2.2. Citra <i>Grayscale</i> .....	6
2.3. Transformasi Wavelet.....	6
2.3.1 Transformasi Wavelet Diskrit Maju (Forward DWT) .....	7
2.3.2 Transformasi Wavelet Diskrit balik (Inverse DWT) .....	9
2.4. <i>Huffman Coding</i> .....	10
2.5. <i>Field Programmable Gate Array</i> (FPGA).....	13
2.6. <i>Very High Description Language</i> (VHDL) .....	15
<b>BAB III PERANCANGAN SISTEM</b>	
3.1. Perancangan Sistem .....	17
3.2. Model dan Karakteristik Encoder/Decoder Citra Menggunakan Discrete Wavelet Transform (DWT) .....	18

3.3.	Perancangan Encoder Decoder .....	19
3.3.1	Blok Discrete Wavelet Transform (DWT) dan Blok Inverse Wavelet Transform .....	20
3.3.2	Blok Huffman Coding.....	26
3.4.	Software Perancangan.....	27
3.5.	Perancangan Hardware .....	27
<b>BAB IV</b>	<b>ANALISIS</b>	
4.1.	Simulasi Setiap Blok pada Xilinx ISE Design Suite 12.1 .....	29
4.1.1	Blok Wavelet Transform.....	30
4.1.1.1	Wavelet Core 5/3 .....	31
4.1.1.2	Ramblock .....	32
4.1.2	Huffman Coder .....	33
4.1.3	Blok Inverse Wavelet.....	34
4.1.4	Inverse Wavelet Core 5/3.....	35
4.1.5	Blok Huffman Decoder.....	36
4.2.	Simulasi Sistem Encoder Decoder pada ModelSim-Altera 6.4a(Quartus II 9.0) Starter Edition .....	37
4.3.	Analisis Matematis pada Nilai-nilai Sample Citra Hasil Rekonstruksi .....	38
<b>BAB V</b>	<b>IMPLEMENTASI SISTEM</b>	
5.1	Spesifikasi Perangkat Keras/Hardware.....	40
5.1.1	FPGA Family XST-3S1000.....	40
5.1.2	Design Entry .....	41
5.1.3	Penambahan Design Constraint .....	42
5.2	Sintesis Rangkaian .....	43
<b>BAB VI</b>	<b>PENUTUP</b>	
1.1	Kesimpulan .....	45
1.2	Saran .....	45
<b>DAFTAR PUSTAKA</b>	.....	45
<b>LAMPIRAN A</b>	.....	46
<b>LAMPIRAN B</b>	.....	55
<b>LAMPIRAN C</b>	.....	57