

BAB I

PENDAHULUAN

1.1 Latar Belakang

Perkembangan *Digital Signal Processing* (DSP) kini semakin pesat yaitu dengan diterapkannya DSP yang semakin luas, seperti pada bidang kesehatan, navigasi, telekomunikasi, pengolahan suara dan gambar serta pengolahan video. Peralatan pada bidang-bidang tersebut kini semakin canggih dengan adanya rangkaian digital dengan komputasi yang relatif cepat, kompleksitas rangkaian yang lebih sederhana, dan lebih murah. Hal ini berbeda pada 30 tahun terakhir dimana rangkaian digital masih relatif besar dan mahal.

Salah satu teknik dari DSP yang sekarang masih digunakan adalah *Inverse Fast Fourier Transform* (IFFT). Pada dasarnya, IFFT merupakan *inverse* atau kebalikan dari teknik FFT, yaitu sebuah algoritma yang sangat efisien dalam formulasi sehingga dapat mempercepat perhitungan pada teknik *Inverse Discrete Fourier Transform* (DFT). DFT adalah teknik transformasi matematis dengan mengubah sinyal diskrit dari domain waktu ke dalam domain frekuensi. IFFT disebut juga algoritma cepat dalam perhitungan IDFT karena perhitungan IFFT mencapai $N \log_2 N$ proses, sedangkan IDFT hanya mencapai N^2 proses. Pengolahan sinyal dapat berlangsung dengan cepat menggunakan teknik IFFT.

Algoritma IFFT radiks-4 merupakan salah satu algoritma generalisasi dari IFFT radiks-2, sehingga seluruh sifat yang dimiliki FFT radiks-2 juga dimiliki oleh IFFT radiks-4. IFFT radiks-2 adalah salah satu proses efisien dalam perhitungan IDFT dengan membagi formulasi dasar dari DFT menjadi 2 proses penjumlahan dan IFFT radiks-4 dengan pembagian menjadi 4 proses penjumlahan. FFT radiks-4 pada dasarnya merupakan dua tahap FFT radiks-2 untuk DFT 4 titik. Pada DFT dengan titik yang banyak dan merupakan kelipatan 4, komputasi akan menjadi lebih efisien jika menggunakan FFT radiks-4 daripada menggunakan FFT radiks-2.

Penulis juga meninjau penelitian- penelitian sebelumnya. Desia Ilmina Suprpto (2008) dan Siska Cucu Maesa (2011), kedua orang tersebut melakukan

penelitian yang menggunakan FFT dan IFFT 64 titik sebagai metodenya^{[2][9]}. Dan yang berbeda adalah algoritma radiks yang digunakan. Desia Ilmina Suprpto (2008) menggunakan radiks-2 IFFT dan Siska Cucu Maesa (2011) menggunakan radiks-8 FFT/IFFT^{[2][9]}. Kedua penelitian tersebut dilakukan dengan tujuan untuk mendapatkan hasil sintesa dengan kebutuhan jumlah slice, IOB, LUT. Flip-Flop, GCLK, FIFO/RAM, dan DSP untuk N titik. Serta mendapatkan hasil delay yang terjadi pada saat simulasi.

Pada tugas akhir ini akan di implementasikan IFFT menggunakan radiks-4 ke *board* FPGA (*Field Programmable Gate Array*). IFFT dengan input 64 titik di desain menggunakan bahasa pemrograman VHDL (*VHSIC Hardware Description Language*) dan disintesa ke *hardware*.

1.2 Rumusan Masalah

Rumusan masalah pada penyusunan tugas akhir ini adalah :

1. Perancangan blok- blok sistem pada IFFT 64 titik.
2. Pemodelan sistem IFFT 64 titik pada MATLAB.
3. Perancangan dan simulasi desain blok sistem IFFT 64 titik dengan menggunakan VHDL pada *software* Quartus.
4. Implementasi sistem IFFT pada *board* FPGA, Altera Cyclone II EP2C20F484C7.

1.3 Batasan Masalah

Pembahasan tugas akhir ini dilakukan dengan batasan- batasan masalah sebagai berikut :

1. Input sistem IFFT 64 titik berupa bit.
2. Pengembangan sistem menggunakan algoritma IFFT radiks-4.
3. Jumlah inputan titik dari IFFT yang digunakan adalah 64.
4. Simulasi menggunakan *software* Quartus Lite 16.0.0.2.1.1 dan *software* MATLAB R2015a.
5. Perancangan pada FPGA board menggunakan bahasa pemrograman VHDL (*VHSIC High Defenition Language*).
6. Penelitian ini dilakukan sampai dengan sintesa *hardware*.

7. Sintesa *hardware* menggunakan *software* Quartus Lite 16.0.0.2.1.1.
8. FPGA yang digunakan untuk implementasi adalah Altera Cyclone II EP2C20F484C7.

1.4 Tujuan

Tujuan dari penelitian tugas akhir ini adalah sebagai berikut :

1. Membuktikan bahwa hasil keluaran (*output*) dari simulasi pada MATLAB, ModelSim, dan perhitungan manual pada Microsoft Excel adalah sama.
2. Membuktikan bahwa keluaran (*output*) sistem IFFT 64 titik radiks-4 dan *input* dari sistem FFT 64 titik radiks-4 adalah sama pada saat simulasi.
3. Mensintesa hasil desain pengkodean VHDL pada arsitektur *hardware* IFFT.
4. Mendapatkan hasil sintesa IFFT meliputi beberapa parameter, yaitu *total pins*, *total memory bits*, *dedicated logic registers*, *total combinational function*, dan *embedded multiplier 9-bit*.
5. Menghitung *delay* pada saat simulasi desain pengkodean VHDL.
6. Membuktikan bahwa sistem IFFT 64 titik radiks-4 dapat dirancang dan diimplementasikan pada board FPGA Altera Cyclone II EP2C20F484C7.

1.5 Metodologi Penelitian

Dalam tugas akhir ini ada beberapa tahapan penelitian yang akan dilakukan yaitu :

1. Studi literatur yang berkaitan mengenai IFFT.
2. Pembuatan blok- blok sistem dari IFFT 64 titik.
3. Pemodelan sistem IFFT pada MATLAB.
4. Perhitungan manual sistem IFFT pada Microsoft Excel.
5. Pembuatan desain/arsitektur sistem IFFT menggunakan VHDL pada Quartus.
6. Implementasi desain IFFT ke *board* FPGA.

1.6 Sistematika Penulisan

BAB I PENDAHULUAN

Bab I berisi penjelasan mengenai latar belakang, rumusan masalah, batasan masalah, tujuan, dan metodologi penelitian serta sistematika penulisan.

BAB II DASAR TEORI

Bab II berisi penjelasan mengenai dasar- dasar teori yang mendukung penelitian tugas akhir ini, yaitu tentang FFT/IFFT, Algoritma Cooley-Tukey, dan VHDL serta FPGA.

BAB III PERANCANGAN SISTEM IFFT 64 TITIK

Bab III berisi perancangan blok- blok sistem dari IFFT 64 titik dan penjelasan dari metodologi penelitian.

BAB IV SIMULASI IFFT 64 TITIK RADIKS-4

Bab IV berisi simulasi IFFT 64 titik menggunakan MATLAB, Ms. Excel dan pembuatan desain sistem pada Quartus serta sintesis dan implementasi ke hardware.

BAB V KESIMPULAN DAN SARAN

Bab V berisi simpulan akhir dan saran dari tugas akhir ini.