

DAFTAR GAMBAR

Gambar 2.1 FPGA Altera.....	8
Gambar 2.3 Radix 4 <i>Butterfly</i>	10
Gambar 3.1 Diagram Alir Perencanaan.....	12
Gambar 3.2 Blok <i>System</i>	14
Gambar 3.3 Flowgraph FFT 64 Titik Radix 4.....	15
Gambar 4.1 <i>Input</i> pada VHDL.....	22
Gambar 4.2 <i>Input</i> Pada Matlab.....	23
Gambar 4.3 <i>Stage</i> 1 Bilangan Real.....	24
Gambar 4.4 <i>Stage</i> 1 Bilangan Imaginer.....	24
Gambar 4.5 <i>Stage</i> 2 Bilangan Real.....	25
Gambar 4.6 <i>Stage</i> 2 Bilangan Imaginer.....	25
Gambar 4.7 <i>Stage</i> 3 Bilangan Real.....	26
Gambar 4.8 <i>Stage</i> 3 Bilangan Imaginer.....	26
Gambar 4.9 <i>Stage</i> 3 Bilangan Real Sudah Disusun.....	27
Gambar 4.10 <i>Stage</i> 3 Bilangan Imaginer Sudah Disusun.....	28
Gambar 4.11 <i>Stage</i> 1 Bilangan Real ModelSim.....	29
Gambar 4.12 <i>Stage</i> 1 Bilangan Imaginer ModelSim.....	30
Gambar 4.13 <i>Stage</i> 2 Bilangan Real ModelSim.....	30
Gambar 4.14 <i>Stage</i> 2 Bilangan Imaginer ModelSim.....	30
Gambar 4.15 <i>Stage</i> 3 Bilangan Real ModelSim.....	31
Gambar 4.16 <i>Stage</i> 3 Bilangan Imaginer ModelSim.....	31
Gambar 4.17 <i>Stage</i> 3 Bilangan Real Sudah Disusun ModelSim.....	32
Gambar 4.18 <i>Stage</i> 3 Bilangan Imaginer Sudah Disusun ModelSim.....	32
Gambar 4.19 <i>Delay</i> Pada <i>Stage</i> 1 Bilangan Real ModelSim.....	33
Gambar 4.20 <i>Delay</i> Pada <i>Stage</i> 1 Bilangan imaginer ModelSim.....	33
Gambar 4.21 <i>Delay</i> Pada <i>Stage</i> 2 Bilangan Real ModelSim.....	34
Gambar 4.22 <i>Delay</i> Pada <i>Stage</i> 2 Bilangan Imaginer ModelSim.....	34
Gambar 4.23 <i>Delay</i> Pada <i>Stage</i> 3 Bilangan Real ModelSim.....	34
Gambar 4.24 <i>Delay</i> Pada <i>Stage</i> 3 Bilangan imaginer ModelSim.....	35
Gambar 4.25 <i>Delay</i> Pada Proses <i>Reorder</i> Bilangan Real ModelSim.....	35
Gambar 4.26 <i>Delay</i> Pada Proses <i>Reorder</i> Bilangan Imaginer ModelSim.....	35

Gambar 4.27 <i>Delay</i> Pada Setiap <i>Stage</i> MODELSIM.....	36
Gambar 4.28 <i>Delay</i> Pada Setiap <i>Stage</i> MATLAB.....	36
Gambar 4.29 Perbandingan <i>Stage 1 Output Real</i>	37
Gambar 4.30 Perbandingan <i>Stage 1 Output Imaginer</i>	37
Gambar 4.32 Perbandingan <i>Stage 2 Output Real</i>	37
Gambar 4.32 Perbandingan <i>Stage 2 Output Imaginer</i>	38
Gambar 4.33 Perbandingan <i>Stage 3 Output Real</i>	38
Gambar 4.34 Perbandingan <i>Stage 3 Output Imaginer</i>	38
Gambar 4.35 Perbandingan <i>Stage 3 Reorder Output Real</i>	39
Gambar 4.36 Perbandingan <i>Stage 3 Reorder Output Real</i>	39
Gambar 4.37 <i>Design Entity</i> Yang Digunakan.....	41
Gambar 4.38 Top Level FFT_64_Radix_4.....	41
Gambar 4.39 <i>Flow Summary</i>	42
Gambar 4.40 Diagram Air Implementasi Pada FPGA.....	43
Gambar 4.41 <i>PIN Planner</i>	45
Gambar 4.42 Menu Program Pada Quartus.....	46
Gambar 4.43 <i>Output</i> Pada <i>SignalTap II Logic Analyzer</i> 0-31.....	47
Gambar 4.44 <i>Output</i> Pada <i>SignalTap II Logic Analyzer</i> 32-63.....	47