

DAFTAR GAMBAR

Gambar 2.1 Contoh Topologi Metro Ethernet [5]	6
Gambar 2.2 Contoh Konfigurasi LAG [4]	9
Gambar 2.3 Architectural positioning of Link Aggregation sublayer [7].....	11
Gambar 2.4 VPWS Model [15].....	11
Gambar 2.5 VPLS Model [15]	12
Gambar 2.6 Enkapsulasi PW dengan Flow LSE.....	13
Gambar 2.7 Spirent TestCenter SPT-9000A.....	16
Gambar 3.1 Model Diagram Alir	17
Gambar 3.2 Topologi Skenario Pengujian Penelitian	20
Gambar 4.1 Data Analisis Skenario (a) tanpa FAT label.....	27
Gambar 4.2 Data Analisis Skenario (a) menggunakan FAT label.....	27
Gambar 4.3 Data Analisis Skenario (b) tanpa FAT label	30
Gambar 4.4 Data Analisis Skenario (b) menggunakan FAT label	30
Gambar 4.5 Data Analisis Skenario (c) tanpa FAT label.....	32
Gambar 4.6 Data Analisis Skenario (c) menggunakan FAT label.....	33
Gambar 4.7 Data Analisis Skenario (d) tanpa FAT label	35
Gambar 4.8 Data Analisis Skenario (d) menggunakan FAT label	36
Gambar 4.9 Data Analisis Skenario (e) tanpa FAT label.....	38
Gambar 4.10 Data Analisis Skenario (e) menggunakan FAT label.....	39
Gambar 4.11 Data Analisis Skenario (f) tanpa FAT label	42
Gambar 4.12 Data Analisis Skenario (f) menggunakan FAT label	43