

DAFTAR GAMBAR

Gambar 2. 1 Arsitektur Software Defined Network [6].....	4
Gambar 2. 2 Komponen utama OpenFlow [8].....	6
Gambar 2. 3 Komponen pada flow entry [9]	6
Gambar 2. 4 Komponen pada <i>group table</i> [8]	7
Gambar 2. 5 Logo OpenDayLight Controller	10
Gambar 3. 1 Alur Perancangan Sistem	12
Gambar 3. 2 Diagram alir algoritma <i>Random Early Detection</i>	14
Gambar 3. 3 Diagram alir algoritma <i>Ant Colony Optimization</i>	15
Gambar 3. 5 Topologi <i>fat-tree</i> dengan 4 <i>pod</i> 2 buah <i>server</i>	17
Gambar 3. 6 Simulasi topologi pada <i>controller</i> OpenDayLight	17
Gambar 4. 1 H12 sebagai <i>server background</i> trafik	18
Gambar 4. 2 H16 sebagai <i>client background</i> trafik	19
Gambar 4. 3 H1 sebagai <i>client</i>	19
Gambar 4. 4 H13 sebagai <i>server</i>	20
Gambar 4. 5 Hasil pengamatan trafik oleh D-ITG.....	20
Gambar 4. 6 Grafik pengujian <i>Throughput</i>	21
Gambar 4. 7 Grafik pengujian <i>Delay</i>	22
Gambar 4. 8 Grafik pengujian <i>Jitter</i>	23
Gambar 4. 9 Grafik pengujian <i>Packetloss</i>	24
Gambar 4. 10 Optimasi <i>throughput</i>	25
Gambar 4. 11 Optimasi <i>delay</i>	25
Gambar 4. 12 Optimasi <i>jitter</i>	26
Gambar 4. 13 Optimasi <i>packetloss</i>	26