

BAB I PENDAHULUAN

1.1 Latar Belakang

Di era digital yang semakin berkembang, pengolahan informasi menjadi salah satu aspek yang penting dalam berbagai aplikasi, mulai dari komunikasi hingga analisis data. Salah satu konsep dalam teori informasi adalah entropi, yang diperkenalkan oleh Claude Shannon. Entropi mengukur ketidakpastian atau informasi yang terdapat dalam suatu sistem, dan memiliki aplikasi luas dalam berbagai bidang, termasuk data deret waktu, kriptografi, pengolahan sinyal, dan analisis data[1].

Untuk menjawab kebutuhan komputasi intensif tersebut secara *real-time*, *Field-Programmable Gate Array* (FPGA) menjadi platform perangkat keras yang ideal karena arsitekturnya yang parallel dan efisiensi energinya yang tinggi. Kebutuhan ini telah mendorong penelitian aktif dalam desain arsitektur perangkat keras untuk komputasi entropi. Penelitian yang berhasil mengevaluasi berbagai algoritma untuk sample entropy yang membandingkan berbagai pendekatan dan menunjukkan adanya *trade-off* yang jelas antara kecepatan, penggunaan sumber daya, dan akurasi untuk setiap arsitektur yang diimplementasikan[2]. Meskipun penelitian sebelumnya telah memberikan kontribusi penting dalam evaluasi arsitektur untuk sample entropy, terdapat celah penelitian yang mendasar. Investigasi yang berfokus pada perancangan dan evaluasi arsitektur yang dioptimalkan secara spesifik untuk Shannon Entropy memiliki tantangan implementasi yang unik dan berbeda, terutama kebutuhan untuk: (1) mendesain blok perhitungan frekuensi simbol, untuk mendapatkan distribusi probabilitas data, dan (2) merancang arsitektur untuk pendekatan fungsi logaritma yang efisien dalam logika digital.

1.2 Rumusan Masalah

Adapun rumusan masalah dari Tugas Akhir ini, sebagai berikut:

1. Bagaimana merancang sirkuit digital untuk menghitung nilai Shannon Entropy yang ditujukan untuk platform FPGA?
2. Bagaimana desain sirkuit tersebut menangani proses perhitungan probabilitas dari setiap simbol yang ada pada data masukan?
3. Metode apa yang digunakan dalam desain sirkuit untuk melakukan perhitungan fungsi logaritma, yang merupakan bagian penting dari rumus Shannon Entropy?
4. Bagaimana memastikan bahwa rancangan sirkuit digital tersebut sudah berfungsi dengan benar dan hasilnya akurat, dengan membandingkan hasil simulasinya di ModelSim terhadap hasil perhitungan acuan dari MATLAB?

1.3 Tujuan

Adapun tujuan dari Tugas Akhir ini, sebagai berikut:

1. Merancang sebuah arsitektur sirkuit digital yang mampu melakukan komputasi Shannon Entropy yang ditujukan untuk platform FPGA.
2. Mengembangkan sebuah modul perangkat keras untuk menangani proses penghitungan distribusi probabilitas dari simbol data masukan.
3. Merancang sebuah sirkuit digital khusus untuk melakukan perhitungan fungsi logaritma secara efisien melalui metode pendekatan.
4. Melakukan verifikasi fungsional dan validasi akurasi terhadap rancangan sirkuit dengan membandingkan hasil simulasi di ModelSim dengan hasil perhitungan acuan dari MATLAB.

1.4 Cakupan Pengerjaan

Adapun cakupan pengerjaan dari Tugas Akhir ini, sebagai berikut:

1. Merancang arsitektur digital secara lengkap untuk komputasi Shannon Entropy, yang terdiri dari modul-modul utama seperti blok penghitung frekuensi simbol dan blok pendekatan fungsi logaritma.
2. Menerjemahkan rancangan arsitektur tersebut ke dalam bahasa deskripsi perangkat keras (*Hardware Description Language*), yaitu Verilog.
3. Melakukan verifikasi fungsional untuk memastikan setiap modul dan keseluruhan sistem bekerja sesuai rancangan melalui simulasi menggunakan *software* ModelSim.
4. Melakukan validasi akurasi dengan membandingkan hasil keluaran dari simulasi dengan hasil perhitungan standar yang diperoleh dari MATLAB sebagai acuan (*golden reference*).
5. Penelitian ini tidak sampai pada tahap implementasi ke papan FPGA fisik, seluruh pengujian dilakukan dalam lingkungan simulasi.

1.5 Tahapan Pengerjaan

Tahapan pengerjaan dari Tugas Akhir ini sebagai berikut:

1. Studi Literatur

Tahap ini diawali dengan studi literatur mendalam mengenai konsep matematis Shannon Entropy, termasuk menguraikan komponen komputasinya seperti perhitungan probabilitas dan operasi logaritma. Selanjutnya, dilakukan studi terhadap platform implementasi FPGA, dengan fokus pada teknik representasi bilangan *fixed-point* dan berbagai metode untuk pendekatan fungsi logaritma dalam logika digital.

2. Perancangan Arsitektur Sistem

Merancang arsitektur digital secara keseluruhan dalam bentuk diagram blok. Tahap ini mencakup perancangan detail untuk modul-modul fungsional utama yaitu modul penghitung probabilitas dan modul untuk pendekatan fungsi logaritma.

3. Implementasi Kode HDL

Menerjemahkan hasil perancangan arsitektur dari tahap sebelumnya ke dalam bahasa deskripsi perangkat keras (Verilog). Proses ini meliputi penulisan kode untuk setiap modul sebelum diintegrasikan menjadi satu sistem yang utuh.

4. Verifikasi dan Validasi

Melakukan pengujian untuk memastikan fungsionalitas dan akurasi desain. Tahap ini meliputi pembuatan *testbench* dalam Verilog untuk memberikan stimulus masukan menggunakan sampel data EEG dan menangkap sinyal keluaran dari desain. Kemudian menjalankan simulasi logika menggunakan *software* ModelSim untuk memverifikasi perilaku desain sesuai dengan rancangan. Lalu melakukan validasi akurat dengan membandingkan hasil perhitungan entropi dari simulasi terhadap hasil perhitungan referensi (*golden reference*) dari MATLAB.