

## DESAIN DAN SINTESIS ARSITEKTUR HARDWARE FFT 64 TITIK BERBASIS BAHASA PEMROGRAMAN VHDL

Wiolda Safitri Nova<sup>1</sup>, Iswahyudi Hidayat<sup>2</sup>, Koredianto Usman<sup>3</sup>

<sup>1</sup>Teknik Telekomunikasi, Fakultas Teknik Elektro, Universitas Telkom

---

### Abstrak

FFT (Fast Fourier Transform) merupakan metode pemecahan sinyal diskrit yang banyak digunakan dewasa ini. Salah satunya dimanfaatkan pada teknologi OFDM (Orthogonal Frequency Division Multiple Access). Selama ini FFT hanya dipandang sebagai suatu sistem komputasi. Pada penelitian ini, akan didesain sebuah arsitektur hardware FFT 64 titik dengan tujuan memudahkan penggunaannya, sehingga lebih banyak lagi teknologi yang memanfaatkan FFT.

Penelitian ini menggunakan VHDL (Very High Speed Integrated Circuit Hardware Description Language) sebagai bahasa yang akan mengkodekan setiap blok-blok pada FFT 64 titik ini. Desain dengan VHDL ini akan memodelkan sistem sesuai dengan kebutuhan dari sistem FFT 64 titik dan mensimulasikannya dengan ModelSim sebelum perangkat lunak sintesis menerjemahkan desain dalam hardware. Dari hasil pemodelan dan simulasi maka akan dilakukan sintesis pada tingkat hardware FPGA dengan Xilinx Synthesize Tools.

Input dari sistem FFT 64 titik yang dibuat merupakan output dari sistem IFFT, sedangkan output berupa sinyal diskrit yang tidak lain adalah input dari IFFT. Dari hasil sintesis akan diperoleh jumlah slice serta parameter-parameter lainnya yang meliputi jumlah IOB, LUT, Flip-Flop, GCLK, FIFO/RAM dan DSP. Secara keseluruhan, penelitian ini mampu membuktikan bahwa output FFT sesuai dengan input IFFT. Periode minimum yang dibutuhkan pada sistem FFT 64 titik ini adalah 14.136ns, dan frequency maksimumnya 70,741 MHz.

Kata Kunci : DFT, FFT, VHDL

---

### Abstract

FFT (Fast Fourier Transform) is a method of discrete signal solving which is used at present. One of the significant usages is in OFDM technology. Since FFT is used, it is only viewed as a computation system. In this research, there will be hardware architecture of 64 points FFT in order to make easier in using it, so that there will be more technology which applies FFT.

This research used VHDL as the language which coded every block in this 64 points FFT system. The design with VHDL would give the system a model which matched with the need of 64 points FFT system and would simulate it with ModelSim before the software synthesize translated the design in hardware. From the result of modeling simulation, there would be synthesize at the hardware FPGA level with Xilinx Synthesize Tools.

The input of 64 points FFT system made was the output of IFFT system, while the output in the form of discrete signal was the input of IFFT. From the synthesize result there would be number of slices and another parameters which included number of IOB, LUT, Flip-Flop, GCLK, FIFO/RAM and DSP. As a whole, this research was able to proof that the output of FFT matched with the input of IFFT. The minimum period needed in this 64 points FFT system was 14.136ns, and the maximum frequency was 70,741 MHz

Keywords : DFT, FFT, VHDL

---

## BAB I PENDAHULUAN

### 1. 1 Latar Belakang

Dewasa ini, teknologi yang membutuhkan sarana komunikasi kecepatan tinggi yang memerlukan kanal-kanal bidang lebar (*broadband channels*) semakin berkembang pesat. Modulasi pembawa-jamak (MCM/ *Multicarrier Modulation*) merupakan suatu teknik yang dapat diandalkan untuk komunikasi data kecepatan tinggi. Prinsip dasar modulasi pembawa-jamak (MCM) adalah *Frequency Division Multiplexing (FDM)*. Sistem FDM memiliki beberapa kelemahan antara lain memiliki efisiensi spektrum yang rendah karena membutuhkan lebar bidang penghalang yang cukup lebar agar terhindar dari interferensi antar sub pembawa.

Pada akhir tahun 1957 dikembangkan sistem transmisi data paralel baru yang mampu meningkatkan efisiensi lebar bidang. Bidang penghalang dihilangkan, spektrum frekuensi sub pembawa saling bersinggungan namun tidak saling mengganggu. Sistem ini dikenal dengan nama *Orthogonal Frequency Division Multiplexing (OFDM)*. Perkembangan OFDM sekarang ini sudah menuju ke arah praktis, misalnya saja pada Wimax.

Sinyal OFDM biasanya dibangkitkan dan diproses secara digital. Proses modulasi dan demodulasi dilakukan dengan teknik pengolahan digital, yaitu *Discrete Fourier Transform (DFT)*. Untuk melakukan perhitungan yang efisien pada DFT, digunakan *Fast Fourier Transform (FFT)*. Algoritma FFT mampu menyajikan aplikasi dalam berbagai bidang termasuk analisis spektrum, pemfilteran, bahkan FFT sebagai demodulator. Seperti pada teknologi OFDM, FFT diletakkan pada sisi penerima, difungsikan sebagai demodulator. Sedangkan di sisi kirim, modulatornya berupa IFFT (*Inverse Fast Fourier Transform*) yang merupakan invers dari FFT.

Tugas akhir ini dititikberatkan pada desain arsitektur *hardware* FFT 64 titik. Hingga saat ini, penelitian mengenai FFT pada FPGA terus berkembang, dengan berbagai variasi jumlah titik. Namun, kali ini penelitian difokuskan pada penerjemahan dari teori dasar FFT itu sendiri menjadi hal praktis yang akan

disimulasikan dan disintesis menggunakan bahasa VHDL. Dari implementasi ini akan dapat dilihat *output* FFT 64 titik.

## 1.2 Tujuan Penelitian

Tujuan dari penelitian ini adalah sebagai berikut:

1. Mendesain arsitektur *hardware* FFT yang telah ditentukan dengan VHDL
2. Mensintesa hasil desain VHDL dengan *Xilinx Synthesize Tool seri ISE 8.1i*
3. Menganalisa dan membandingkan sinyal keluaran dari arsitektur *hardware* yang telah disimulasikan dengan *input* IFFT menggunakan Matlab Toolbox Function
4. Mendapatkan hasil sintesis, meliputi:
  - Kebutuhan slice, IOB, LUT, Flip-Flop, GCLK, FIFO/RAM dan DSP untuk tiap N titik yang akan diuji.
  - Memprediksi kebutuhan slice, IOB, LUT, Flip-Flop, GCLK, FIFO/RAM untuk jumlah titik yang lebih banyak
5. Menganalisa perioda minimum (frekuensi maksimum) yang dibutuhkan pada sistem FFT 64 titik

## 1.3 Rumusan Masalah

Berdasarkan latar belakang di atas, maka dapat dirumuskan permasalahan yang akan diselesaikan dalam desain dan sintesis ini sebagai berikut:

1. Mempelajari konsep FFT sebagai salah satu cara menyelesaikan DFT
2. Menurunkan struktur/desain *hardware* yang dibutuhkan dalam sistem FFT
3. Mendesain blok-blok arsitektur yang telah diperoleh menggunakan VHDL
4. Melakukan integrasi blok-blok arsitektur menjadi satu kesatuan sistem FFT 64 titik
5. Melakukan tes fungsi arsitektur yang telah diintegrasikan dengan memberikan *test vector* sinyal dalam bentuk *testbench* (simulasi)
6. Melakukan sintesis arsitektur yang telah teruji secara fungsi

#### 1.4 Batasan Masalah

Dalam penelitian ini akan dilakukan pembatasan masalah sebagai berikut:

1. FFT yang digunakan pada penelitian ini adalah algoritma FFT radiks 2
2. Jumlah titik hanya 64 dan tidak variabel
3. Menggunakan *engine* FFT 2 titik
4. Penelitian sampai dengan sintesa *hardware*.
5. Menggunakan metode peruraian dalam frekuensi (*Decimation in Frequency*)
6. Simulasi menggunakan ModelSIM 6.0 Mentor Graphic, dan sintesa *hardware* menggunakan Xilinx ISE 8.1i
7. Sintesa pada Xilinx ISE 8.1i menggunakan *hardware* FPGA seri Virtex xc4vlx25-10sf363

#### 1.5 Metodologi Pemecahan Masalah

Tahapan-tahapan yang dilakukan dalam desain dan sintesis ini adalah sebagai berikut:

1. Studi literatur tentang FFT sebagai salah satu cara penyelesaian DFT
2. Diskusi dengan pembimbing
3. Studi awal memahami pemrograman VHDL
4. Penurunan arsitektur yang kemudian dikodekan ke dalam VHDL
5. Melakukan simulasi fungsional sistem hingga level pemberian *testbench* sinyal pada arsitektur sistem yang telah didesain
6. Mendapatkan parameter-parameter kinerja fungsional sistem berdasarkan hasil *testbench* yang diperoleh
7. Melakukan sintesis setelah simulasi fungsional sistem secara benar diperoleh
8. Mendapatkan parameter-parameter kinerja hasil sintesis yang dilakukan
9. Mendokumentasikan keseluruhan proses pengerjaan tugas akhir yang telah dilakukan

## 1.6 Sistematika Penulisan

Laporan Tugas Akhir akan dirancang dengan sistematika sebagai berikut :

### BAB I Pendahuluan

Pada bagian ini secara berurutan membahas tentang latar belakang, tujuan penelitian, rumusan masalah, batasan masalah, metodologi pemecahan masalah, dan sistematika penulisan.

### BAB II Landasan Teori

Bagian ini berisi tentang dasar-dasar teori dari FFT (Fast Fourier Transform) dan teori-teori pendukungnya.

### BAB III Perancangan Dan Implementasi

Pada bab ini akan dirancang desain sistem arsitektur *hardware* FFT dan blok-blok penyusunnya yang kemudian akan disintesis.

### BAB IV Hasil dan Analisa

Berisi analisa hasil simulasi dan sintesis sesuai dengan perumusan masalah yang telah disebutkan sebelumnya

### BAB V Kesimpulan dan Saran

Berisi kesimpulan mengenai Tugas Akhir ini dan saran untuk pengembangan selanjutnya.

## BAB V

### KESIMPULAN DAN SARAN

#### 5.1 Kesimpulan

Berdasarkan hasil penelitian yang telah dilakukan dalam tugas akhir ini dapat disimpulkan beberapa hal sebagai berikut:

1. Perancangan arsitektur FFT 64 titik telah dapat dilakukan pada tahap simulasi fungsional sistem dan sintesis rangkaian hasil design
2. Berdasarkan hasil penelitian yang dilakukan menggunakan Matlab Tool Box Functon sebagai tolok ukur, output dari sistem FFT sesuai dengan input dari sistem IFFT
3. Dari hasil sintesis diperoleh periode minimum untuk FFT 64 titik yaitu 14.136 ns, yang berarti frekuensi maksimumnya sebesar 70.741MHz
4. Berdasarkan hasil sintesis FFT 64 titik didapatkan jumlah *resource* yang dibutuhkan adalah jumlah *slice* 22%, jumlah *slice flip-flops* 10%, jumlah *input LUT* 19%, jumlah *bonded IOB* 31%, jumlah *FIFO16/RAMB16* 31%, jumlah *GCLK* 3% dan jumlah *DSP48* 83%
5. Berdasarkan hasil kurva fitting, diperoleh:
  - Jumlah *slice*, *slice flip-flops*, *FIFO16/RAM16* dan *DSP48* mengikuti persamaan polinomial dengan orde 2
  - Jumlah *IOB* mengikuti persamaan logaritmik
  - Jumlah *GCLK* mengikuti persamaan linear

#### 5.2 Saran Pengembangan

Dari serangkaian penelitian yang telah dilaksanakan, beberapa saran pengembangan yang dapat dilakukan adalah:

1. Dilakukan pengujian untuk jumlah titik input yang lebih besar untuk kemudian ditentukan optimasi hasil design yang dapat dicapai
2. Dilakukan proses implementasi pada board FPGA
3. Dilakukan penelitian dengan menggunakan *butterfly* radiks 4 yang kemudian dibandingkan dengan sistem FFT yang menggunakan *butterfly* radiks 2

## DAFTAR PUSTAKA

- [1] Chang, K.C., *Digital Systems Design with VHDL and Synthesis*, Matt Loeb, USA.1999
- [2] Ludeman, Lonnie C., *Fundamental of Digital Signal Processing*, John Wiley & Sons, Inc, Canada. 1987.
- [3] Miller, Adam Robert, *Development and Verification of Parameterized Digital Signal Processing Macros for Microelectronics Systems*, The University of Tennessee, Knoxville. 2003.
- [4] Pedroni, Volnei A., *Circuit Design With VHDL*, Massachusetts Institute of Technology, USA. 2004.
- [5] Proakis, John G. dan Manolakis, Dimitris G., *Pemrosesan Sinyal Digital*, Edisi Bahasa Indonesia Jilid 1, Prenhallindo, Jakarta. 1997.
- [6] Wardana, Ali, *Desain dan Implementasi IDFT (Inverse Discrete Fourier Transform) untuk OFDM dengan FPGA*. Tugas Akhir STT Telkom. Bandung. 2007.
- [7] Wada, Tom, *64 point Fast Fourier Transform Circuit (Version 1.0)*. [www.ie-u-ryuku.ac.id](http://www.ie-u-ryuku.ac.id). 2006
- [8] [www.opencores.org](http://www.opencores.org)
- [9] [www.wikipedia.com](http://www.wikipedia.com)