

## DAFTAR ISI

	Halaman
<b>LEMBAR PENGESAHAN</b>	
<b>LEMBAR PERNYATAAN ORISINALITAS</b>	
<b>LEMBAR PERSEMBAHAN</b>	
<b>ABSTRACT</b>	<b>i</b>
<b>ABSTRAKSI</b>	<b>ii</b>
<b>KATA PENGANTAR</b>	<b>iii</b>
<b>UCAPAN TERIMA KASIH</b>	<b>iv</b>
<b>DAFTAR ISI</b>	<b>vii</b>
<b>DAFTAR ISTILAH</b>	<b>x</b>
<b>DAFTAR SINGKATAN</b>	<b>xiii</b>
<b>DAFTAR GAMBAR</b>	<b>xiv</b>
<b>DAFTAR TABEL</b>	<b>xvi</b>
<b>DAFTAR LAMPIRAN</b>	<b>xvii</b>
<b>BAB I</b>	
<b>PENDAHULUAN</b>	
1.1. Latar Belakang	1
1.2. Perumusan Masalah	2
1.3. Tujuan Penelitian	2
1.4. Batasan Masalah	2
1.5. Metode Penelitian	2
1.6. Sistematika Penulisan	3
<b>BAB II</b>	
<b>LANDASAN TEORI</b>	
2.1. Sistem Komunikasi Digital	4
2.2. <i>Channel Coding</i>	5
2.3. Kode BCH	6

2.3.1. Enkoding Kode BCH (n,k)	7
2.3.2. Dekoding Kode BCH (n,k)	9
2.3.2.1. Menghitung Sindrom	9
2.3.2.2. Menentukan <i>Error Location Polynomial</i>	12
2.3.2.3. Mencari <i>Chien – Search</i>	13
2.4. VHDL ( <i>Very High Speed Integrated Circuit Hardware Description Language</i> )	14
2.5. FPGA ( <i>Field Programmable Gate Array</i> )	16

### **BAB III**

#### **PERANCANGAN DAN IMPLEMENTASI SISTEM**

3.1 Perancangan Blok Enkoder <i>BCH</i>	19
3.1.1. Spesifikasi Blok Enkoder	19
3.1.2. Perancangan dan Simulasi VHDL	20
3.1.2.1. Blok <i>Counter Encoder</i>	21
3.1.2.2. Blok <i>Generator Polynomial</i>	22
3.1.2.3. Blok <i>Encoder</i>	22
3.2. Perancangan Blok Dekoder <i>BCH</i>	23
3.2.1. Spesifikasi Blok <i>Decoder</i>	23
3.2.2. Perancangan dan Simulasi VHDL	23
3.2.2.1. Blok <i>Counter Decoder</i>	24
3.2.2.2. Blok <i>Buffer</i>	25
3.2.2.3. Blok <i>Syndrome 1</i> dan <i>syndrome 3</i>	25
3.2.2.4. Blok <i>Pow3</i>	25
3.2.2.5. Blok <i>Compare</i>	26
3.2.2.6. Blok <i>Chien 1</i> dan <i>Chien 3</i>	26
3.2.2.7. Blok <i>flip flop</i>	26
3.2.2.8. Blok <i>Decoder</i>	26
3.3. Perancangan Blok Sistem Enkoder Dekoder BCH	27
3.3.1. Spesifikasi Blok Sistem	27
3.3.2. Perancangan dan Simulasi VHDL	27

3.3.2.1. Blok <i>Buffer Encoder</i>	29
3.3.2.2. Blok <i>Buffer Error</i>	29
3.3.2.3. Blok <i>Buffer Compare</i>	29
3.3.2.4. Blok <i>Buffer Decoder</i>	29
3.3.2.5. Blok <i>Simulasi</i>	30
3.4. Implementasi Sistem pada FPGA	30
3.4.1. Hasil Implementasi Sistem	31

## **BAB IV**

### **PENGUJIAN DAN ANALISA SISTEM**

4.1. Analisa Fungsional	34
4.1.1. Pengujian pada Blok Encoder	36
4.1.2. Pengujian dengan kesalahan 0 bit	37
4.1.3. Pengujian dengan kesalahan 1 bit	39
4.1.4. Pengujian dengan kesalahan 2 bit	41
4.1.5. Pengujian dengan kesalahan >2 bit	43
4.2. Analisa Hasil Sintesis Rangkaian	45

## **BAB V**

### **KESIMPULAN DAN SARAN**

5.1. Kesimpulan	47
5.2. Saran	47

### **DAFTAR PUSTAKA**

### **LAMPIRAN**