

PERANCANGAN DAN IMPLEMENTASI ENCODER DECODER KODE BCH (15,7) BERBASIS FPGA (FIELD PROGRAMMABLE GATE ARRAY)

Edi Supriyanto¹, Dharu Arseno², Iswahyudi Hidayat³

¹Teknik Telekomunikasi, Fakultas Teknik Elektro, Universitas Telkom

Abstrak

Dalam sistem komunikasi digital, sistem pengiriman informasi dari transmitter ke receiver pada kenyataannya sering sekali terdapat bit-bit error yang disebabkan oleh noise ataupun interferensi ketika informasi melewati saluran transmisi. Saat ini telah banyak dikembangkan metode-metode channel coding untuk mengatasi error yang terjadi tersebut. Proses channel coding yang dilakukan diharapkan mampu memberikan proteksi yang lebih baik terhadap kualitas data yang akan diterima oleh receiver. Proteksi yang diharapkan dapat berupa pendeteksian sekaligus pengkoreksian error yang terjadi.

Kode BCH merupakan salah satu teknik pengkodean yang merupakan pengimplementasian dari channel coding. Dengan memanfaatkan kode ini, diharapkan kesalahan yang terjadi pada bit-bit informasi dapat dideteksi dan dikoreksi. Kode BCH yang digunakan dalam pengerjaan tugas akhir ini adalah BCH (15,7). Kode ini menggunakan panjang informasi data 7 bit, panjang codeword 15 bit, dan panjang bit parity 8 bit. Hal ini berarti kode ini mampu mengoreksi kesalahan hingga 2 bit.

Perancangan sistem tersebut diatas menggunakan bahasa pemrograman VHDL (Very High Speed Integrated Circuit Hardware Description Language) dan diimplementasikan pada target device FPGA (Field Programmable Gate Array) seri Xilinx Virtex XC4VLX25. Setelah dilakukan implementasi pada FPGA, didapat beberapa kesimpulan, diantaranya pada blok encoder didapatkan jumlah resource yang dibutuhkan adalah jumlah slice sebanyak 7 slices, jumlah slice flip-flops sebanyak 12 slices, jumlah 4 input LUT sebanyak 11 LUT, dan jumlah IOB yang digunakan 1%, pada blok decoder didapatkan jumlah resource yang dibutuhkan adalah jumlah slice sebanyak 31 slices, jumlah slice flip-flops 28 slices, jumlah 4 input LUT 1%, dan jumlah IOB yang digunakan 1%, dan pada blok simulasi sistem encoder decoder didapatkan jumlah resource yang dibutuhkan adalah jumlah slice sebanyak 1%, jumlah slice flip-flops sebanyak 1%, jumlah 4 input LUT sebanyak 1%, dan jumlah IOB yang digunakan adalah 7%.

Kata Kunci : Channel Coding, Kode BCH, VHDL, FPGA

Telkom
University

Abstract

In digital communication systems, the information delivery system from transmitter to receiver in fact often occur bits of error caused by noise or interference when the information through the transmission channel. Nowadays, there are many channel coding methods developed to overcome these errors. These methods are expected to give better protection to the quality of the data that will be received by the receiver. The expected protection can be the detection of errors with the occurred error correction.

BCH code is one of the encoding techniques which are the implementation of channel coding. By utilizing this code, it is expected that the error occurred bits - bits of information can be detected and corrected. BCH code used in this final project is BCH (15,7). This code uses 7 bits of data information, 15 bits of codeword, and 8 of parity bits in length. This means that the code is capable of correcting errors up to 2 bits.

Design system mentioned using VHDL(Very High Speed Integrated Circuit Hardware Description Language) language programming and implementation on target device FPGA(Field Programmable Gate Array) series Xilinx Virtex XC4VLX25. After the implementation on FPGA, we can get some conclusions. Firstly, in block encoder, it is obtained that the required resource amount is 7 slices of slice, 12 slices of flip - flops, 11 LUT of 4 input LUTs, and 1% IOB in use. Secondly, in the block decoder, it is obtained that the required resource amount is 31 slices of slice, 28 slices of flip - flops, 1% of the amount of 4 input LUTs, and 1% of IOB in use. Thirdly, in the block encoder decoder simulation system, it is obtained that the required resource amount is 1% of the slice numbers, 1% of the number of slice flip flops, 1% of 4 input LUT numbers, and 7% of the number of IOB in use.

Keywords : Channel Coding, BCH Code, VHDL, FPGA

BAB I

PENDAHULUAN

1.1 Latar Belakang.

Dalam sistem komunikasi digital, sistem pengiriman informasi dari *transmitter* ke *receiver* pada kenyataannya sering sekali terdapat bit-bit error yang disebabkan oleh *noise* ataupun interferensi ketika informasi melewati saluran transmisi. Saat ini telah banyak dikembangkan metode-metode *channel coding* untuk mengatasi *error* yang terjadi tersebut. Proses *channel coding* yang dilakukan diharapkan mampu memberikan proteksi yang lebih baik terhadap kualitas data yang akan diterima oleh *receiver*. Proteksi yang diharapkan dapat berupa pendeteksian sekaligus pengkoreksian *error* yang terjadi.

Metode dalam *error correction* dibagi menjadi dua, yaitu FEC (*Forward Error Correction*) dan BEC (*Backward Error Correction*) atau yang disebut juga ARQ (*Automatic Repeat Request*). Hal yang membedakan antara keduanya adalah letak dari proses koreksi kesalahan, dimana FEC melakukan koreksi kesalahan pada sisi penerima, sedangkan ARQ pada sisi pengirim. Dalam hal kecepatan proses, FEC lebih unggul karena tidak membutuhkan adanya *re-transmission* jika terjadi kesalahan dalam pengiriman data. Secara garis besar, jenis algoritma FEC dibagi menjadi dua, yaitu *Block Codes* dan *Convolutional Codes*. BCH (*Bose – Chaudhuri – Hocquenghem*) merupakan bagian dari *Block Codes* yang merupakan kode yang akan diterapkan.

Dengan memanfaatkan kode BCH, diharapkan kesalahan yang terjadi pada bit – bit informasi dapat dideteksi dan dikoreksi. Kode BCH yang digunakan dalam pengerjaan tugas akhir ini adalah BCH(15,7). Kode ini menggunakan panjang informasi data 7 bit, panjang *codeword* 15 bit dan panjang bit parity 8 bit. Hal ini berarti kode ini mampu mengoreksi kesalahan hingga 2 bit.

1.2 Perumusan Masalah

Beberapa hal yang menjadi perumusan masalah dalam pengerjaan tugas akhir ini adalah :

- a). Bagaimana merancang *encoder* dan *decoder* dengan menggunakan kode BCH (15,7).
- b). Bagaimana merancang *encoder* dan *decoder* tersebut kedalam bahasa VHDL dan diimplementasikan pada FPGA.

1.3 Tujuan Penelitian.

Tujuan dari penelitian tugas akhir ini adalah sebagai berikut :

- a). Merancang *encoder* dan *decoder* kode BCH (15,7) dengan menggunakan bahasa VHDL dan mengimplementasikannya ke *target device* FPGA.
- b). Mengetahui tingkat kemampuan *encoder* dan *decoder* kode BCH (15,7) dalam memperbaiki kesalahan.

1.4 Batasan Masalah.

Tugas akhir ini membahas permasalahan yang ada dengan batasan masalah sebagai berikut :

- Perancangan *encoder* dan *decoder* pada tugas akhir ini menggunakan kode BCH (15,7).
- *Primitive Polynomial* yang digunakan adalah $P(X) = X^4 + X + 1$.
- Maksimal kesalahan yang dapat dikoreksi adalah dua bit.
- Simulasi menggunakan *software* Active – HDL 3.5 dan sintesa *hardware* menggunakan *software* Xilinx ISE 12.1.
- *Target device* yang digunakan adalah FPGA Xilinx Virtex XC4VLX25.
- Kanal transmisi ideal.

1.5 Metode Penelitian.

Metode penelitian yang dilakukan dalam penyusunan tugas akhir ini adalah :

- Studi Literatur

*Perancangan dan Implementasi Encoder Decoder Kode BCH (15,7)
Berbasis FPGA (Field Programmable Gate Array)*

Untuk mendapatkan teori – teori yang berhubungan dengan perancangan dan implementasi *encoder* dan *decoder* kode *BCH* (15,7) pada FPGA.

- Eksperimen

Perancangan dan pengujian sistem baik *encoder* atau *decoder* dengan kode *BCH* (15,7) pada FPGA.

1.6 Sistematika Penulisan

Secara garis besar, sistematika penulisan tugas akhir ini adalah sebagai berikut :

BAB I PENDAHULUAN :

Bagian ini membahas tentang latar belakang pengerjaan tugas akhir, perumusan masalah, tujuan penelitian, batasan masalah, metode penelitian, dan sistematika penulisan.

BAB II LANDASAN TEORI :

Bagian ini membahas tentang teori – teori yang menjadi dasar dari perancangan dan implementasi dalam pengerjaan tugas akhir ini, seperti teori dasar sistem komunikasi digital, *encoder* dan *decoder* dengan kode *BCH* (15,7), dan teori – teori tentang VHDL dan FPGA.

BAB III PERANCANGAN DAN IMPLEMENTASI SISTEM :

Pada bagian ini membahas tentang model sistem dari *encoder* dan *decoder* pada kode *BCH* (15,7), sistem kerja dan juga membahas tentang diagram alir pengerjaan tugas akhir ini.

BAB IV PENGUJIAN DAN ANALISA SISTEM

Pada bagian ini membahas tentang pengujian dari implementasi sistem yang telah dirancang serta menganalisa hasil pengujian tersebut.

BAB V KESIMPULAN DAN SARAN

Pada bagian ini berisi tentang kesimpulan dari sistem yang dibuat serta saran untuk pengembangan yang lebih baik.

BAB V

KESIMPULAN DAN SARAN

5.1 Kesimpulan

Kesimpulan yang dapat diambil berdasarkan hasil implementasi yang didapat adalah :

1. Kode BCH (15,7) hasil perancangan dapat diimplementasikan pada FPGA dan bisa diamati untuk kemampuan sistem dalam mendeteksi dan mengoreksi *error*.
2. Berdasarkan hasil sintesis blok sistem *encoder* didapatkan jumlah *resource* yang dibutuhkan adalah jumlah IOB yang digunakan 1%, jumlah *slices* sebanyak 7 *slices*, jumlah *slice flip flops* sebanyak 12 *slices*, dan jumlah LUT sebanyak 11 LUT.
3. Berdasarkan hasil sintesis blok sistem *decoder* didapatkan jumlah *resource* yang dibutuhkan adalah jumlah IOB yang digunakan 1%, jumlah *slices* sebanyak 31 *slices*, jumlah *slice flip flops* sebanyak 28 *slices*, dan jumlah LUT sebanyak 58 LUT.
4. Berdasarkan hasil sintesis blok sistem *simulasi* sistem *encoder decoder* didapatkan jumlah *resource* yang dibutuhkan adalah jumlah IOB yang digunakan 7%, jumlah *slices* sebanyak 1%, jumlah *slice flip flops* sebanyak 1%, dan jumlah LUT sebanyak 1%. Dengan periode minimum adalah 3.173ns, frekuensi maksimum adalah 315.169MHz, *delay* kedatangan minimum input sebelum *clock* adalah 2.629ns, *delay* maksimum setelah *clock* adalah 4.491ns, total memory yang digunakan adalah 146228 kilobytes.

5.2 Saran

Beberapa saran yang dapat digunakan untuk pengembangan ke depannya :

1. Dapat menggunakan kode BCH dengan kemampuan deteksi dan koreksi yang lebih tinggi.

*Perancangan dan Implementasi Encoder Decoder Kode BCH (15,7)
Berbasis FPGA (Field Programmable Gate Array)*

2. Dapat memvariasikan kondisi kanal, sehingga kemampuan dari kode BCH dapat lebih teramati.
3. Pengujian dapat dilakukan dengan input dari media luar, misalkan input dari komputer yang berupa kode ASCII.



DAFTAR PUSTAKA

- [1] Lin, Shu dan Daniel J. Costello Jr.. 1983. *Error Control Coding : Fundamental And Applications*. New Jersey : Prentice Hall.
- [2] Moon, Todd K. 2005. *Error Correcting Coding : Mathematical Methods and Algorithms*. New Jersey : John Wiley & Sons, Ltd.
- [3] Moreira, Jorge Castineira dan Patrick Guy Farrell. 2006. *Essentials of Error-Control Coding*. Chichester : John Wiley & Sons, Ltd.
- [4] Morelos-Zaragoza, Robert. 2006. *The Art of Error Correcting Coding*. Chichester : John Wiley & Sons, Ltd.
- [5] Perry, Douglas L. 2002. *VHDL : Programming by Example*. California : McGraw-Hill
- [6] Pedroni, Volnei A. 2004. *Circuit Design with VHDL*. London : MIT Press.
- [7] Sklar, Bernard. 2002. *Digital Communications Fundamentals and Applications*. New Jersey : Prentice Hall.
- [8] Sweeney, Peter. 2002. *Error Control Coding : From Theory to Practice*. Chichester : John Wiley & Sons, Ltd.