

BAB I

PENDAHULUAN

1.1 Latar Belakang

Perkembangan teknologi informasi dan komunikasi saat ini sangat dipengaruhi oleh kebutuhan masyarakat modern. Teknologi modern dituntut memiliki kehandalan yang mampu mengirimkan informasi kemudian diterima di penerima tanpa adanya kesalahan (*error*) yang diakibatkan oleh *noise* ataupun interferensi pada media transmisi maupun pada perangkat jaringan. Salah satu teknik untuk mencapai tujuan tersebut adalah *channel coding*. Pengkodean kanal bertujuan untuk mendeteksi dan mengoreksi *error*.

Channel coding melakukan beberapa proses dahulu terhadap informasi tersebut. Salah satu metode dalam *channel coding* adalah pengkodean konvolusi. Pengkodean konvolusi yang telah banyak dikenal dengan pendekode menggunakan algoritma viterbi. Pendekode konvolusi ini memungkinkan transmisi informasi melalui kanal dengan derau tinggi dan pengiriman data dengan *stream* baik. Konsep utama dari pendekode viterbi ini adalah menentukan jalur dengan jarak *Euclidian* terkecil dari sejumlah jalur yang mungkin dilalui pada diagram trellis proses pengkode. Dalam tugas akhir akan didesain dan diimplementasikan sistem encoder decoder dengan menggunakan kode konvolusi berbasis FPGA menggunakan bahasa mesin tingkat tinggi yang lebih dikenal dengan nama *Very High Description Language* (VHDL). Tugas akhir ini adalah pengembangan dari Tugas Akhir terdahulu karya Fanan Yossie Risdian yang merancang encoder dan decoder dengan coderate $\frac{1}{2}$ dan constraint length 3. Perancangan Tugas akhir ini mengimplementasikan chip Encoder Decoder dengan code rate $\frac{1}{3}$ dan *constraint length* 3 menggunakan bahasa VHDL dan diimplementasikan ke FPGA (*Field Programable Gate Array*).

1.2 Tujuan Penelitian

Tujuan dari penelitian tugas akhir ini adalah sebagai berikut

1. Merancang Encoder dan Decoder convolutional code dengan code rate $1/3$ dan K (constraint length) 3 pada bahasa VHDL
2. Mengimplementasikan *encoder* dan *decoder Convolutional Code* dengan *code rate* $1/3$ dan *constraint length* 3 pada FPGA
3. Mengetahui kemampuan koreksi bit *error encoder* dan *decoder* $1/3$ dan *constraint length* 3

1.3 Rumusan Masalah

Rumusan masalah yang akan dibahas pada tugas akhir ini sebagai berikut.

1. Bagaimana merancang *encoder* dan *decoder* dengan menggunakan kode konvolusi dengan *code rate* $1/3$ dan *constraint length* 3 dengan bahasa VHDL
2. Bagaimana mengimplementasikan Encoder dan Decoder pada FPGA virtex 4 XC4VLX25
3. Bagaimana kemampuan koreksi bit *error encoder* dan *decoder* $1/3$ dan *constraint length* 3

1.4 Batasan Masalah

Batasan masalah dalam tugas akhir ini sebagai berikut.

1. *Encoder* dan *Decoder* menggunakan sistem kanal ideal.
2. Algoritma decoder yang digunakan adalah *Viterbi Hard decision decocoding*
3. Generator sequence pada encoder yang digunakan adalah 5, 7 dan 7
4. Perancangan dan implementasi encoder convolutional code dan decoder viterbi dengan code rate $1/3$ dan *constraint length* 3 dengan menggunakan Bahasa VHDL
5. Pengujian hasil implementasi *Encoder* dan *Decoder* pada *Logic Analyzer* dan secara simulasi.
6. Implementasi pada FPGA Virtex 4 XC4VLX25

1.5 Metoda Penelitian

Metode penelitian yang dilakukan dalam penyusunan tugas akhir ini adalah sebagai berikut.

1. Studi Literatur

Sumber berasal dari text book perkuliahan, jurnal, user guide dan lain-lain. Untuk mendapatkan teori – teori yang berhubungan dengan perancangan dan implementasi *encoder* dan *decoder* dengan *convolutional code* pada FPGA.

2. Eksperimentasi

Perancangan dan pengujian sistem baik *encoder* atau *decoder* dengan *Convolutional code* pada FPGA.

1.6 Sistematika Penulisan

Sistematika penulisan tugas akhir ini adalah sebagai berikut :

BAB I PENDAHULUAN

Bagian ini membahas tentang latar belakang pengerjaan tugas akhir ini, perumusan masalah, tujuan penelitian, batasan masalah, metode penelitian, sistematika penulisan, dan rencana kerja.

BAB II DASAR TEORI

Bagian ini membahas tentang teori – teori yang menjadi dasar dari perancangan dan implementasi dalam pengerjaan tugas akhir ini, seperti teori dasar sistem komunikasi digital, *encoder* dan *decoder* dengan *Convolutional Code* dan teori – teori tentang FPGA.

BAB III PERANCANGAN DAN IMPLEMENTASI SISTEM

Bagian ini membahas tentang model sistem dari *encoder* dan *decoder* dengan kode *Convolutional Code* dan sistem kerja serta juga membahas tentang diagram alir pengerjaan tugas akhir ini.

BAB IV PENGUJIAN DAN ANALISIS

Bagian ini membahas tentang bentuk keluaran yang diharapkan dari pengerjaan tugas akhir ini.

BAB V KESIMPULAN DAN SARAN

Pada bab ini merupakan bab terakhir dari laporan tugas akhir yaitu berupa kesimpulan untuk sistem yang penulis kerjakan, serta saran untuk penelitian berikutnya.