

PERANCANGAN DAN IMPLEMENTASI ENCODER DAN DECODER CONVOLUTIONAL CODE BERBASIS FIELD PROGRAMABLE GATE ARRAY

Dedi Kurniawan¹, Budi Prasetya², Denny Darlis³

¹Teknik Telekomunikasi, Fakultas Teknik Elektro, Universitas Telkom

Abstrak

Sistem komunikasi digital modern kini handal dalam mengatasi noise dan interferensi pada kanal transmisi. Metode channel coding merupakan salah satu solusi penting untuk mendukung kemampuan itu. Convolutional code adalah salah satu metode pada channel coding, yang telah dipakai pada teknologi WIMAX (802.16e) dan DVB (Digital Video Broadcasting). Hal ini karena kehandalan convolutional code cocok kanal transmisi dengan derau tinggi dan pengiriman data secara bit stream .br>

Pada tugas akhir telah didesain dan diimplementasikan sistem encoder decoder convolutional code dengan code rate 1/3 constraint length 3, generator sequence 5 (101), 7 (111), dan 7 (111), serta jumlah trace back bit masukan adalah 8 bit (1 Byte) pada sisi decoder. Hal ini berarti decoder mampu mengoreksi bit salah maksimal sebanyak 2 bit error yang saling berurutan dari data yang dikirim secara stream. Program Encoder dan Decoder terdiri dari empat port input dan satu port output, untuk mengeluarkan bit output secara serial. Kemudian perancangan dilakukan pada bahasa VHDL, kemudian hasil perancangan diimplementasikan pada FPGA Virtex 4 XC4VLX25.

Setelah dilakukan implementasi pada FPGA, diantaranya pada blok encoder dan decoder didapatkan jumlah resource yang dibutuhkan adalah jumlah slice 4%, jumlah slice flip - flops 1%, jumlah 5 input LUT 1%, jumlah Bonded IOB 2%, dan jumlah gate yang digunakan adalah 920 gates

Kata Kunci : Channel Coding, Viterbi code rate 1/3, FPGA

Abstract

Modern digital communication systems are now reliable in dealing with noise and interference on the transmission channel. Channel coding method is one important solution to support that capability. Convolutional code is one of the channel coding method, which has been used in WiMAX technology (802.16e) and DVB (Digital Video Broadcasting). This is because the reliability of the transmission channel suitable convolutional code with high noise and sending data bit stream.

At the end of the task has been designed and implemented system convolutional encoder decoder code with code rate 1/3 constraint length 3, sequence generator 5 (101), 7 (111), and 7 (111), and trace back the number of input bits is 8 bits (1 Byte) on the decoder side. This means that the decoder is capable of correcting one bit error maximum of 2 bits of mutual sequence of data sent in a stream. Encoder and Decoder Program consists of four input ports and one output port, to issue the serial output bits. Then performed on the design language VHDL and then the design is implemented on FPGA Virtex 4 XC4VLX25.

After implementation on FPGA, including the block encoder and decoder obtained the amount of resource required is the amount of 4% slice, slice the number of flip - flops 1%, the 5 input LUT 1%, the number of bonded IOB 2%, and the gate used is 920 gates

Keywords : Channel Coding, Viterbi code rate 1/3, FPGA

BAB I

PENDAHULUAN

1.1 Latar Belakang

Perkembangan teknologi informasi dan komunikasi saat ini sangat dipengaruhi oleh kebutuhan masyarakat modern. Teknologi modern dituntut memiliki kehandalan yang mampu mengirimkan informasi kemudian diterima di penerima tanpa adanya kesalahan (*error*) yang diakibatkan oleh *noise* ataupun interferensi pada media transmisi maupun pada perangkat jaringan. Salah satu teknik untuk mencapai tujuan tersebut adalah *channel coding*. Pengkodean kanal bertujuan untuk mendeteksi dan mengoreksi *error*.

Channel coding melakukan beberapa proses dahulu terhadap informasi tersebut. Salah satu metode dalam *channel coding* adalah pengkodean konvolusi. Pengkodean konvolusi yang telah banyak dikenal dengan pendekode menggunakan algoritma viterbi. Pendekode konvolusi ini memungkinkan transmisi informasi melalui kanal dengan derau tinggi dan pengiriman data dengan *stream* baik. Konsep utama dari pendekode viterbi ini adalah menentukan jalur dengan jarak *Euclidian* terkecil dari sejumlah jalur yang mungkin dilalui pada diagram trellis proses pengkode. Dalam tugas akhir akan didesain dan diimplementasikan sistem encoder decoder dengan menggunakan kode konvolusi berbasis FPGA menggunakan bahasa mesin tingkat tinggi yang lebih dikenal dengan nama *Very High Description Language* (VHDL). Tugas akhir ini adalah pengembangan dari Tugas Akhir terdahulu karya Fanan Yossie Risdian yang merancang encoder dan decoder dengan coderate $\frac{1}{2}$ dan constraint length 3. Perancangan Tugas akhir ini mengimplementasikan chip Encoder Decoder dengan code rate $\frac{1}{3}$ dan *constraint length* 3 menggunakan bahasa VHDL dan diimplementasikan ke FPGA (*Field Programable Gate Array*).

1.2 Tujuan Penelitian

Tujuan dari penelitian tugas akhir ini adalah sebagai berikut

1. Merancang Encoder dan Decoder convolutional code dengan coderate $1/3$ dan K (constraint length) 3 pada bahasa VHDL
2. Mengimplementasikan *encoder* dan *decoder Convolutional Code* dengan *code rate* $1/3$ dan *constrain lenght* 3 pada FPGA
3. Mengetahui kemampuan koreksi bit *error encoder* dan *decoder* $1/3$ dan *constraint length* 3

1.3 Rumusan Masalah

Rumusan masalah yang akan dibahas pada tugas akhir ini sebagai berikut.

1. Bagaimana merancang *encoder* dan *decoder* dengan menggunakan kode konvolusi dengan *code rate* $1/3$ dan *constrain lenght* 3 dengan bahasa VHDL
2. Bagaimana mengimplementasikan Encoder dan Decoder pada FPGA virtex 4 XC4VLX25
3. Bagaimana kemampuan koreksi bit *error encoder* dan *decoder* $1/3$ dan *constraint length* 3

1.4 Batasan Masalah

Batasan masalah dalam tugas akhir ini sebagai berikut.

1. *Encoder* dan *Decoder* menggunakan sistem kanal ideal.
2. Algoritma decoder yang digunakan adalah *Viterbi Hard decision decocoding*
3. Generator sequence pada encoder yang digunakan adalah 5, 7 dan 7
4. Perancangan dan implementasi encoder convolutional code dan decoder viterbi dengan code rate $1/3$ dan *constrain lenght* 3 dengan menggunakan Bahasa VHDL
5. Pengujian hasil implementasi *Encoder* dan *Decoder* pada *Logic Analyzer* dan secara simulasi.
6. Implementasi pada FPGA Virtex 4 XC4VLX25

1.5 Metoda Penelitian

Metode penelitian yang dilakukan dalam penyusunan tugas akhir ini adalah sebagai berikut.

1. Studi Literatur

Sumber berasal dari text book perkuliahan, jurnal, user guide dan lain-lain. Untuk mendapatkan teori – teori yang berhubungan dengan perancangan dan implementasi *encoder* dan *decoder* dengan *convolutional code* pada FPGA.

2. Eksperimentasi

Perancangan dan pengujian sistem baik *encoder* atau *decoder* dengan *Convolutional code* pada FPGA.

1.6 Sistematika Penulisan

Sistematika penulisan tugas akhir ini adalah sebagai berikut :

BAB I PENDAHULUAN

Bagian ini membahas tentang latar belakang pengerjaan tugas akhir ini, perumusan masalah, tujuan penelitian, batasan masalah, metode penelitian, sistematika penulisan, dan rencana kerja.

BAB II DASAR TEORI

Bagian ini membahas tentang teori – teori yang menjadi dasar dari perancangan dan implementasi dalam pengerjaan tugas akhir ini, seperti teori dasar sistem komunikasi digital, *encoder* dan *decoder* dengan *Convolutional Code* dan teori – teori tentang FPGA.

BAB III PERANCANGAN DAN IMPLEMENTASI SISTEM

Bagian ini membahas tentang model sistem dari *encoder* dan *decoder* dengan kode *Convolutional Code* dan sistem kerja serta juga membahas tentang diagram alir pengerjaan tugas akhir ini.

BAB IV PENGUJIAN DAN ANALISIS

Bagian ini membahas tentang bentuk keluaran yang diharapkan dari pengerjaan tugas akhir ini.

BAB V KESIMPULAN DAN SARAN

Pada bab ini merupakan bab terakhir dari laporan tugas akhir yaitu berupa kesimpulan untuk sistem yang penulis kerjakan, serta saran untuk penelitian berikutnya.



BAB V

KESIMPULAN DAN SARAN

5.1 Kesimpulan

Beberapa kesimpulan yang dapat diambil dalam pemancangan encoder dan decoder convolutional code pada tugas akhir ini adalah sebagai berikut.

1. Kemampuan encoder dan decoder viterbi dengan code rate $1/3$ dan constant length 3 ini adalah dapat mengoreksi maksimal 2 bit error yang tersusun secara berurutan dan 8 bit error secara acak
2. Berdasarkan hasil implementasi blok *encoder* dan *decoder* didapatkan jumlah *resource* yang dibutuhkan adalah jumlah *slice* 4%, jumlah *slice flip – flops* 1%, jumlah 4 input LUT 4%, jumlah IOB 2%, dan jumlah *gate* yang digunakan adalah 920 *gates*.
3. Berdasarkan hasil perancangan didapatkan blok yang dibutuhkan dalam system encoder dan decoder ini adalah LSR, *Data enable*, *Decoder*, *Pararel to serial* dan *Generator error*. *Port input* yang dibutuhkan yaitu input *data*, *clock*, *reset*, dan *clock enable* serta *port output* yang dibutuhkan adalah *output*, berfungsi untuk mengalirkan data serial secara *stream*.

5.2 Saran

Beberapa saran yang dapat dilakukan untuk pengembangan sistem adalah sebagai berikut.

1. Untuk pengembangan selanjutnya, dapat digunakan memori dan *code rate* yang lebih tinggi sehingga kemampuan koreksi kesalahan yang lebih tinggi.
2. Untuk pengembangan selanjutnya dapat dilakukan optimasi *source program* sehingga dapat mempercepat proses kerja sistem.

DAFTAR PUSTAKA

- [1] Darlis, Denny. 2010. Perancangan dan Implementasi Prosesor OFDM Baseband untuk Prototipe Modem PLC pada FPGA. Thesis pada IT Telkom Bandung : Tidak Diterbitkan.
- [2] Haykin, Simon. 2001. *Communication Systems*. Ontario: John Wiley and Sons. Inc
- [3] Lin, Shu dan Daniel J. Costello Jr.. 1983. *Error Control Coding : Fundamental And Applications*. New Jersey : Prentice Hall.
- [4] Manalu, Manoto J. F. 2011. Perancangan dan Implementasi Prosesor I/FFT 512 Titik Radiks-8 pada FPGA. Tugas Akhir pada Institut Teknologi Telkom : Tidak Diterbitkan.
- [5] Pradana, Damarsatya Adi. 2011. Perancangan dan Implementasi Encoder Decoder Reed-Solomon (15,9) Berbasis FPGA (Field Programable Gate Array). Tugas akhir IT Telkom Bandung: Tidak Diterbitkan.
- [6] Risdian, F Y, “Perancangan dan Implementasi Enkoder Konvolusi – Dekoder Viterbi Menggunakan FPGA”. 2004
- [7] Rizki, Lalu Febriandi. 2011. Perancangan dan Implementasi Tuner Gitar Digital Berbasis FPGA. Tugas Akhir IT Telkom Bandung : Tidak Diterbitkan.