

BAB I PENDAHULUAN

1.1 Latar Belakang

Kebutuhan masyarakat akan informasi dan komunikasi yang terus berkembang dari waktu ke waktu menyebabkan permintaan layanan komunikasi dengan *bitrate* tinggi pun semakin meningkat. Sehingga diperlukan teknologi *broadband* yang memiliki kecepatan yang tinggi untuk memenuhi kebutuhan tersebut.

Long Term Evolution (LTE) adalah nama yang diberikan untuk standar teknologi komunikasi yang dikembangkan oleh *Third Generation Partnership Project* (3GPP) untuk mengatasi peningkatan permintaan kebutuhan akan layanan komunikasi dengan *data rate* yang tinggi. Teknologi ini dapat memberikan kinerja yang lebih unggul dibandingkan dengan teknologi sebelumnya karena menggunakan sistem *Multiple Input Multiple Output* (MIMO) dan *Orthogonal Frequency Division Multiplexing* (OFDM). MIMO adalah suatu teknologi yang muncul menggunakan prinsip *diversity*, dengan tujuan meningkatkan *data rate* dalam rentang yang lebih besar dengan peluang *error* yang kecil. Sistem MIMO ini terdiri dari beberapa antena di pemancar dan penerima yang menciptakan *diversity* antara *transmitter* dan *receiver*. Ide dasar dari sistem MIMO adalah untuk menciptakan *spatial diversity* sinyal pemancar dari lokasi yang berbeda. Sedangkan *multicarrier* OFDM merupakan teknik modulasi dengan *subcarrier* yang saling *orthogonal*. Orthogonalitas *subcarrier* pada OFDM memungkinkan terjadinya *overlapping* antar *subcarrier* sehingga penggunaan *bandwidth* lebih efisien. Pada pengimplementasian teknologi broadband seringkali terjadi *fading*, oleh karena itu digunakan pengkodean SFBC untuk mengatasi masalah *fading* ini. Skema SFBC ini menggunakan pengkodean yang dikenal dengan *Alamouti Code*. *Alamouti Code* ini digunakan dalam skema SFBC karena dapat membuat aliran *diversity* yang dikirim saling *orthogonal*.

Pada penelitian sebelumnya^[11] telah didesain dan diimplementasikan sistem *detector* STBC dengan dua buah antenna pada sisi *transmitter* dan *receiver*. Namun, teknologi STBC ini hanya melakukan *coding* pada sejumlah simbol OFDM yang setara dengan jumlah *transmitter*. Sedangkan SFBC melakukan *coding* di semua *subcarrier* pada interval simbol OFDM. Penyusunan tugas akhir ini berawal dari keinginan untuk mendesain dan mengimplementasikan sistem *detector* SFBC pada sistem komunikasi *wireless* dengan dua antenna *transmitter*.

Dalam tugas akhir ini akan didesain *detector* SFBC yang diintegrasikan dengan blok OFDM 512 *subcarrier* yang disimulasika dengan menggunakan bahasa pemrograman *Very High-Speed Integrated Circuit Description Language* (VHDL) dan diimplementasikan pada *Field Programmable Gate Array* (FPGA). Perancangan dan pengimplementasian pada FPGA menggunakan *software* Xilinx. Dengan FPGA ini akan didapatkan *prototype* sistem yang dapat diterapkan untuk pembuatan *chip* SFBC-OFDM.

1.2 Tujuan

Tujuan dari pembuatan tugas akhir ini adalah sebagai berikut :

1. Merancang sistem *detector* SFBC 2x2 dan diimplementasikan pada FPGA seri Xilinx Vertex VC4VLX25-363.
2. Menganalisis hasil implementasi sistem, rancangan yang diimplementasikan harus *synthesizable* dan dapat diimplementasikan pada FPGA.

1.3 Rumusan Masalah

Beberapa masalah yang akan dibahas dalam penyusunan Tugas Akhir ini adalah sebagai berikut :

1. Perancangan spesifikasi sistem *detector* SFBC yang akan diimplementasikan pada FPGA.
2. Perancangan *detector* SFBC dengan menggunakan VHDL.
3. Integrasi sistem SFBC dengan sistem OFDM.
4. Implementasi *detector* SFBC pada FPGA.
5. Implementasi sistem SFBC –OFDM pada FPGA.

1.4 Batsan Masalah

Untuk menghindari meluasnya materi pembahasan tugas akhir ini, maka penulis membatasi permasalahan dalam tugas akhir ini hanya mencakup hal-hal berikut :

1. Hanya akan merancang rangkaian digital *detector* SFBC
2. Algoritma SFBC yang digunakan dalam perancangan ini adalah algoritma *Alamauti*.
3. Perancangan yang digunakan berada pada level *baseband*.
4. Sistem yang dianalisis menggunakan 2 buah antena.
5. Modulasi yang digunakan adalah QPSK.
6. *Input* rangkaian ini dalam bentuk bit dengan lebar 16 bit, hasil yang akan di keluarkan akan berbentuk *bitstream*.
7. Sinkronisasi dibuat sempurna.
8. Fokus pada perancangan sistem *detector* SFBC. Bagian yang dirancang adalah *Serial to Parallel*, *SFBC Detector*, *Parallel to Serial* dan *Demapper*. Bagain *Fast Fourier Transform* (FFT) yang digunakan pada penelitian kali ini merupakan modifikasi dari IFFT yang sudah ada dari Tugas Akhir sebelumnya.
9. Perancangan dilakukan sampai sintesa hardware.
10. *Hardware* FPGA yang digunakan seri Xilinx Vertex VC4VLX25-363
11. *Software* yang digunakan dalam perancangan sistem adalah Xilinx ISE 13.2. dan Matlab.
12. Implementasi pada FPGA berupa *signal tap*.
13. Verifikasi hasil keluaran pada *software* I-sim pada Xilinx dibandingkan dengan teori dan dengan menggunakan hasil simulasi pada *software* Matlab.
14. Parameter analisis pada tugas akhir ini adalah kesesuaian hasil keluaran sistem dengan simbol masukan yang dikirim oleh *transmitter*, berdasarkan *alamouti code* dan representasi bit-bit pada simbol-simbol *Quadrature Phase Shift Keying* (QPSK).

1.5 Metodologi Penelitian

Metode penelitian yang digunakan dalam penulisan Tugas Akhir ini adalah:

1. Melakukan studi literatur dari buku, jurnal, dan referensi lain yang relevan dengan mempelajari hal-hal yang berkaitan dengan perencanaan sistem tersebut.
2. Proses perencanaan yang meliputi pendisainan, pembuatan sistem, dan hasil implementasi sistem.
3. Proses simulasi kelayakan algoritma perancangan menggunakan Matlab.
4. Perancangan arsitektur rangkaian menggunakan bahasa VHDL dengan *software* Xilinx.
5. Implementasi rangkaian pada FPGA.

1.6 Sistematika Penulisan

Sistematika penulisan yang digunakan pada tugas akhir ini adalah:

BAB I: PENDAHULUAN

Bab ini berisi uraian singkat mengenai latar belakang permasalahan, tujuan, rumusan masalah, batasan masalah, metode penelitian.

BAB II: DASAR TEORI

Bab ini berisi uraian konsep dan dasar teori secara umum yang mendukung dalam perancangan yang dilakukan dalam tugas akhir ini.

BAB III: PEMODELAN DAN SIMULASI SISTEM

Bab ini berisi uraian gambaran dan penjelasan mengenai pemodelan dan simulasi perancangan *detector* SFBC.

BAB IV: PENGUJIAN DAN ANALISA SISTEM

Bab ini berisi uraian tentang pengujian pada setiap blok penyusun sistema *detector* SFBC, penjelasan mengenai skenario implementasi serta pengujian sistem pada FPGA dan analisa terhadap hasil yang dikeluarkan.

BAB V: KESIMPULAN DAN SARAN

Bab ini merupakan bab terakhir dari laporan tugas akhir yang berisi kesimpulan dari sistem yang penulis kerjakan, serta saran untuk penelitian berikutnya