

PERANCANGAN DAN IMPLEMENTASI DETECTOR SFBC PADA LTE BERBASIS FPGA

Zeli Zelika¹, Rina Pudji Astuti², Denny Darlis³

¹Teknik Telekomunikasi, Fakultas Teknik Elektro, Universitas Telkom

Abstrak

Long Term Evolution (LTE) merupakan evolusi dari Universal Mobile Telecommunications System (UMTS) dalam menanggapi permintaan pelanggan yang terus meningkat untuk layanan multimedia berkualitas tinggi. Sistem pada LTE menggunakan teknik Multiple Input Multiple Output (MIMO). Salah satu skema pengkodean pada teknik MIMO LTE adalah Space Frequency Block Code (SFBC). Berdasarkan penelitian, skema ini lebih baik pada kondisi mobile dibandingkan dengan Space Time Block Code (STBC), SFBC ini dapat digunakan untuk mengatasi masalah-masalah yang terjadi pada penerapan sistem LTE seperti masalah fading, sehingga informasi yang dikirim dapat diterima dengan baik oleh penerima.

Pada tugas akhir ini dirancang bagian detector SFBC alamouti dengan dua antena pengirim dan diimplementasikan pada FPGA. Perancangan detector SFBC menggunakan bahasa pemrograman VHDL. Pada penelitian ini detector SFBC diintegrasikan dengan OFDM 512 subcarrier yang sudah diteliti oleh peneliti sebelumnya. Hasil simulasi SFBC-OFDM dilakukan pengujian untuk verifikasi hasil keluaran. Setelah itu perancangan detector SFBC pada VHDL diimplementasikan pada board FPGA.

Hasil verifikasi keluaran simulasi dan implementasi detector SFBC memiliki hasil yang sama. Pada tugas akhir ini juga diperoleh hasil sintesis pada software Xilinx yaitu occupied slice 7%, slice register 1%, 4 input LUTs 7%, bonded IOBs 1%, BUFG/BUFGCTRLs 6% dan SFBC-OFDM adalah slice register 12% , occupied slice 83%, input LUT 70%, jumlah bonded IOB 1% dan jumlah BUFG/BUFGCTRLs 9%. Sistem ini dapat terimplementasi dengan baik.

Kata Kunci : LTE, MIMO, SFBC, FPGA, VHDL

Abstract

Long Term Evolution (LTE) is the evolution of the Universal Mobile Telecommunications System (UMTS) to respond the growing demand for high-quality multimedia services in accordance with user expectations. The LTE system uses Multiple Input Multiple Output (MIMO) system. One of the coding schemes in LTE MIMO technique is a Space Frequency Block Code (SFBC) scheme is based on more reliable research on the conditions of mobility compared to the Space Time Block Code (STBC). SFBC can be used to solve the problems that occur in the application of LTE system, such as fading problems, so the information can be well received by the receiver.

In this final project has been designed SFBC detector with two antennas transmitter and implemented on FPGA. SFBC detector design is using VHDL programming language. In this final project, the SFBC detector integrated with the OFDM 512 subcarriers that have been studied by previous researchers. SFBC-OFDM simulation results of testing conducted to verify the output. After that, SFBC detector in VHDL designs implemented on FPGA board.

The result of the verification and implementation SFBC detector and SFBC-OFDM have the same results. The synthesize results obtained on the Xilinx software is the amount of used resource in the FPGA for SFBC detector is occupied slice 7%, slice register 1%, 4 input LUTs 7%, bonded IOBs 1%, BUFG/BUFGCTRLs 6% and SFBC-OFDM is slice register 12% , occupied slice 83%, input LUT 70%, bonded IOB 1% and the number of BUFG/BUFGCTRLs 9%.

Keywords : LTE, MIMO, SFBC , FPGA, VHDL

BAB I PENDAHULUAN

1.1 Latar Belakang

Kebutuhan masyarakat akan informasi dan komunikasi yang terus berkembang dari waktu ke waktu menyebabkan permintaan layanan komunikasi dengan *bitrate* tinggi pun semakin meningkat. Sehingga diperlukan teknologi *broadband* yang memiliki kecepatan yang tinggi untuk memenuhi kebutuhan tersebut.

Long Term Evolution (LTE) adalah nama yang diberikan untuk standar teknologi komunikasi yang dikembangkan oleh *Third Generation Partnership Project* (3GPP) untuk mengatasi peningkatan permintaan kebutuhan akan layanan komunikasi dengan *data rate* yang tinggi. Teknologi ini dapat memberikan kinerja yang lebih unggul dibandingkan dengan teknologi sebelumnya karena menggunakan sistem *Multiple Input Multiple Output* (MIMO) dan *Orthogonal Frequency Division Multiplexing* (OFDM). MIMO adalah suatu teknologi yang muncul menggunakan prinsip *diversity*, dengan tujuan meningkatkan *data rate* dalam rentang yang lebih besar dengan peluang *error* yang kecil. Sistem MIMO ini terdiri dari beberapa antena di pemancar dan penerima yang menciptakan *diversity* antara *transmitter* dan *receiver*. Ide dasar dari sistem MIMO adalah untuk menciptakan *spatial diversity* sinyal pemancar dari lokasi yang berbeda. Sedangkan *multicarrier* OFDM merupakan teknik modulasi dengan *subcarrier* yang saling *orthogonal*. Orthogonalitas *subcarrier* pada OFDM memungkinkan terjadinya *overlapping* antar *subcarrier* sehingga penggunaan *bandwidth* lebih efisien. Pada pengimplementasian teknologi broadband seringkali terjadi *fading*, oleh karena itu digunakan pengkodean SFBC untuk mengatasi masalah *fading* ini. Skema SFBC ini menggunakan pengkodean yang dikenal dengan *Alamouti Code*. *Alamouti Code* ini digunakan dalam skema SFBC karena dapat membuat aliran *diversity* yang dikirim saling *orthogonal*.

Pada penelitian sebelumnya^[11] telah didesain dan diimplementasikan sistem *detector* STBC dengan dua buah antenna pada sisi *transmitter* dan *receiver*. Namun, teknologi STBC ini hanya melakukan *coding* pada sejumlah simbol OFDM yang setara dengan jumlah *transmitter*. Sedangkan SFBC melakukan *coding* di semua *subcarrier* pada interval simbol OFDM. Penyusunan tugas akhir ini berawal dari keinginan untuk mendesain dan mengimplementasikan sistem *detector* SFBC pada sistem komunikasi *wireless* dengan dua antenna *transmitter*.

Dalam tugas akhir ini akan didesain *detector* SFBC yang diintegrasikan dengan blok OFDM 512 *subcarrier* yang disimulasika dengan menggunakan bahasa pemrograman *Very High-Speed Integrated Circuit Description Language* (VHDL) dan diimplementasikan pada *Field Programmable Gate Array* (FPGA). Perancangan dan pengimplementasian pada FPGA menggunakan *software* Xilinx. Dengan FPGA ini akan didapatkan *prototype* sistem yang dapat diterapkan untuk pembuatan *chip* SFBC-OFDM.

1.2 Tujuan

Tujuan dari pembuatan tugas akhir ini adalah sebagai berikut :

1. Merancang sistem *detector* SFBC 2x2 dan diimplementasikan pada FPGA seri Xilinx Vertex VC4VLX25-363.
2. Menganalisis hasil implementasi sistem, rancangan yang diimplementasikan harus *synthesizable* dan dapat diimplementasikan pada FPGA.

1.3 Rumusan Masalah

Beberapa masalah yang akan dibahas dalam penyusunan Tugas Akhir ini adalah sebagai berikut :

1. Perancangan spesifikasi sistem *detector* SFBC yang akan diimplementasikan pada FPGA.
2. Perancangan *detector* SFBC dengan menggunakan VHDL.
3. Integrasi sistem SFBC dengan sistem OFDM.
4. Implementasi *detector* SFBC pada FPGA.
5. Implementasi sistem SFBC –OFDM pada FPGA.

1.4 Batsan Masalah

Untuk menghindari meluasnya materi pembahasan tugas akhir ini, maka penulis membatasi permasalahan dalam tugas akhir ini hanya mencakup hal-hal berikut :

1. Hanya akan merancang rangkaian digital *detector* SFBC
2. Algoritma SFBC yang digunakan dalam perancangan ini adalah algoritma *Alamauti*.
3. Perancangan yang digunakan berada pada level *baseband*.
4. Sistem yang dianalisis menggunakan 2 buah antena.
5. Modulasi yang digunakan adalah QPSK.
6. *Input* rangkaian ini dalam bentuk bit dengan lebar 16 bit, hasil yang akan di keluarkan akan berbentuk *bitstream*.
7. Sinkronisasi dibuat sempurna.
8. Fokus pada perancangan sistem *detector* SFBC. Bagian yang dirancang adalah *Serial to Parallel*, *SFBC Detector*, *Parallel to Serial* dan *Demapper*. Bagain *Fast Fourier Transform* (FFT) yang digunakan pada penelitian kali ini merupakan modifikasi dari IFFT yang sudah ada dari Tugas Akhir sebelumnya.
9. Perancangan dilakukan sampai sintesa hardware.
10. *Hardware* FPGA yang digunakan seri Xilinx Vertex VC4VLX25-363
11. *Software* yang digunakan dalam perancangan sistem adalah Xilinx ISE 13.2. dan Matlab.
12. Implementasi pada FPGA berupa *signal tap*.
13. Verifikasi hasil keluaran pada *software* I-sim pada Xilinx dibandingkan dengan teori dan dengan menggunakan hasil simulasi pada *software* Matlab.
14. Parameter analisis pada tugas akhir ini adalah kesesuaian hasil keluaran sistem dengan simbol masukan yang dikirim oleh *transmitter*, berdasarkan *alamouti code* dan representasi bit-bit pada simbol-simbol *Quadrature Phase Shift Keying* (QPSK).

1.5 Metodologi Penelitian

Metode penelitian yang digunakan dalam penulisan Tugas Akhir ini adalah:

1. Melakukan studi literatur dari buku, jurnal, dan referensi lain yang relevan dengan mempelajari hal-hal yang berkaitan dengan perencanaan sistem tersebut.
2. Proses perencanaan yang meliputi pendisainan, pembuatan sistem, dan hasil implementasi sistem.
3. Proses simulasi kelayakan algoritma perancangan menggunakan Matlab.
4. Perancangan arsitektur rangkaian menggunakan bahasa VHDL dengan *software* Xilinx.
5. Implementasi rangkaian pada FPGA.

1.6 Sistematika Penulisan

Sistematika penulisan yang digunakan pada tugas akhir ini adalah:

BAB I: PENDAHULUAN

Bab ini berisi uraian singkat mengenai latar belakang permasalahan, tujuan, rumusan masalah, batasan masalah, metode penelitian.

BAB II: DASAR TEORI

Bab ini berisi uraian konsep dan dasar teori secara umum yang mendukung dalam perancangan yang dilakukan dalam tugas akhir ini.

BAB III: PEMODELAN DAN SIMULASI SISTEM

Bab ini berisi uraian gambaran dan penjelasan mengenai pemodelan dan simulasi perancangan *detector* SFBC.

BAB IV: PENGUJIAN DAN ANALISA SISTEM

Bab ini berisi uraian tentang pengujian pada setiap blok penyusun sistem *detector* SFBC, penjelasan mengenai skenario implementasi serta pengujian sistem pada FPGA dan analisa terhadap hasil yang dikeluarkan.

BAB V: KESIMPULAN DAN SARAN

Bab ini merupakan bab terakhir dari laporan tugas akhir yang berisi kesimpulan dari sistem yang penulis kerjakan, serta saran untuk penelitian berikutnya

BAB V

KESIMPULAN DAN SARAN

5.1. Kesimpulan

Kesimpulan yang dapat diambil berdasarkan hasil implementasi yang didapat adalah :

1. Hasil pengujian pada setiap blok yang menyusun *detector* SFBC telah sesuai rancangan *detector* SFBC secara teori.
2. Berdasarkan hasil sintesis sistem *detector* SFBC jumlah *hresource* yang dibutuhkan adalah *occupied slice* 8%, *slice register* 1%, 4 input LUTs 7%, *bonded IOBs* 1%, BUFG/BUFGCTRLs 6%. Dengan *resource* sistem *detector* SFBC seperti ini, sistem *detector* SFBC dapat diimplementasikan pada *board* FPGA Virtex-4 XC4VLX25-FF363.
3. Berdasarkan hasil sintesis sistem SFBC-OFDM jumlah *resource* yang dibutuhkan adalah *occupied slice* 83%, *slice register* 12%, 4 input LUTs 70%, *bonded IOBs* 1%, BUFG/BUFGCTRLs 9%. Dengan *resource* sistem *detector* SFBC-OFDM seperti ini, sistem *detector* SFBC dapat diimplementasikan pada *board* FPGA Virtex-4 XC4VLX25-FF363.
4. Pengujian hasil implementasi dilakukan dengan bantuan perangkat *logic analyzer* dan *Chip Scope* menunjukkan nilai keluaran yang dihasilkan pada *board* FPGA berdasarkan pin *output*-nya diperoleh nilai yang sama dengan simulasi.

5.2. Saran

Beberapa saran yang dapat dilakukan untuk pengembangan sistem adalah :

1. Untuk pengembangan selanjutnya, dapat dibuat sistem *detector* SFBC yang diintegrasikan dengan sistem kanal dan estimasi kanal.
2. Dilakukan pengembangan untuk SFBC MIMO 4x4 sekaligus integrasi dengan OFDM.
3. Pengujian dapat dilakukan dengan input dari media di luar generator sinyal dalam FPGA, misalkan gambar atau *text* dari komputer.

DAFTAR PUSTAKA

- [1] Alamouti, Siavash. 1998. *Paper : A Simple Transmit Diversity Technique for Wireless Communication*. IEEE Jurnal on select areas in communications, Vol.16, No.8.
- [2] Bauch, Gerhard. 2003 *Paper : Space- Time Block Codes Versus Space-Frequency Block Codes*. IEEE jurnal. Korea.
- [3] F. Portier, J-Y dan Baudais, J-F. Helard, *Performance of STBC MC-CDMA sistem over outdoor realistic MIMO channels*. France.
- [4] Furht, Borko and Syed A. Ahsan. 2009. *3GPP LTE Radio and Cellular Technology*. Taylor & Francis Group. United States of America.
- [5] Hadiyoso, Sugondo. 2012. PERANCANGAN DAN IMPLEMENTASI OFDM-STBC BERBASIS FPGA UNTUK WIMAX 802.16e. Institut Teknologi Telkom : Tidak diterbitkan.
- [6] Hara, Shinsuke dan Ramjee Prasad. 2003. *Multicarrier Techniques for 4G Mobile Communications*. Artech House. Boston, London.
- [7] Kaiser, Stefan Waqas. 2007. *Space frequency Block Codes and Code Division Multiplexing in OFDM Systems*. Thesis. Blekinge Institute of Communication and Navigation, Germany.
- [8] Mehmood, Asad and Cheema, WaqasAslam. 2009. *Channel Estimation for LTE Downlink*. Thesis. Blekinge Institute of Technology, Swedia. LTE.
- [9] Nafi, Ghzali Al. 2012. PERANCANGAN DAN IMPLEMENTASI ENCODER STBC PADA LTE ARAH DOWNLINK BERBASIS FPGA. Institut Teknologi Telkom : Tidak diterbitkan.
- [10] Sesia, Stefania, dkk. 2011. *LTE The UMTS Long Term Evolution From Theory to Practice*. John Wiley & Sons Ltd. United Kingdom.
- [11] Sujatmiko, Wahyu. 2011. *PERANCANGAN DAN IMPLEMENTASI MIMOENCODER DETECTOR STBC ALAMOUTI 2x2 BERBASIS FPGA*. Institut Teknologi Telkom : Tidak diterbitkan.

- [12] Wicaksono, IsnanArif. 2012. PERANCANGAN DAN IMPLEMENTASI ENCODER *DETECTOR* STBC MIMO 4X4 BERBASIS FPGA. Institut Teknologi Telkom : Tidak diterbitkan.

